

中 国 传 媒 大 学

广播电视数字化教育部工程研究中心

<http://ecdav.cuc.edu.cn>

EDA 教学参考设计

LOGIC VGA 电路模块设计报告

文档类型	设计报告
作者	杜伟韬
创建日期	2011 年 12 月 16 日
版本	0.1

修订记录

修订日期	修订人	动作
2011/12/16	杜伟韬	创建初始版本

引言

用途

本 LOGIC VGA 电路模块设计代码和配套文档，用于中国传媒大学 广播电视数字化工程中心的硕士研究生培训以及中国传媒大学本科生的电子设计竞赛培训，设计资料公开，请根据情况酌情使用，作者对该电路中可能存在的错误以及导致的后果不承担任何责任。

本设计的每个模块均留有“实践作业”题目，有兴趣的同学请自行完成，观察显示效果。

使用授权

- 教学和科研用途：将本设计用于教学和科学研究用途的教学和科研单位及电子设计爱好者，可自由使用，请在源代码中保留作者信息。
- 商业用途：对于拥有良好信用并愿意承担相应社会责任的公司，如需要在商业产品或项目中使用本模块，请发送电子邮件至 duweitao@cuc.edu.cn 获得授权许可后使用。
- 免责声明：对于本设计可能存在的缺陷和导致的相应后果及责任由使用者承担，与作者无关。

交流与互动

- **报告 BUG**：欢迎发送邮件至 duweitao@cuc.edu.cn 指出代码中的错误，请尽量描述清楚出错的场景和现象，最好附带出错代码和显示的照片。
- **分享快乐**：如果该电路给您带来学习和设计上的乐趣，您可以邮寄一张明信片到 以下地址和作者分享您的快乐，“北京市 朝阳区 定福庄东街 1 号 中国传媒大学 57 号信箱，数字化中心，杜伟韬，邮编 100024”。
- **参加电赛**：如果您是中国传媒大学电子类专业在校本科生，欢迎关注并报名参加当年的传媒大学校内电子竞赛。详情参见：<http://ecdav.cuc.edu.cn/>大学生电子设计竞赛。
- **加入我们**：如果您是电子类专业在校生，并且热爱电子技术或是数字通信与信号处理技术，欢迎报考“中国传媒大学 广播电视数字化工程中心”的硕士或博士研究生，由于我们作为专职科研机构，暂未设立专门的教学办公室，我们的研究生学籍编制挂靠在中国传媒大学计算机学院，但这不影响我们一起设计 state-of-art 的电子仪器设备。详情参见：<http://ecdav.cuc.edu.cn/>招生报考。

电路总体规划

设计需求

设计一些电路模块，用于把 FPGA 内部存储的数据较为直观有序的绘制到 VGA 显示器上，这种图形绘制能力主要应用于以下的场合

- 1、用于辅助调试，监测 FPGA 内部的信号节点的波形
- 2、使用 FPGA 完成一些初等的测量仪器

方案选择

存在两种备选方案，1、在 FPGA 内部存储显示器分辨率的全部像素点阵，2、使用时序逻辑的方法，直接在显示器上绘制图形和图象。对于存取点阵的方案 1，在 800*600，8bit 每像素的情况下，一帧图象需要消耗 约 500KByte 的存储，这对于目前的 FPGA 而言片内 RAM 资源开销较大。

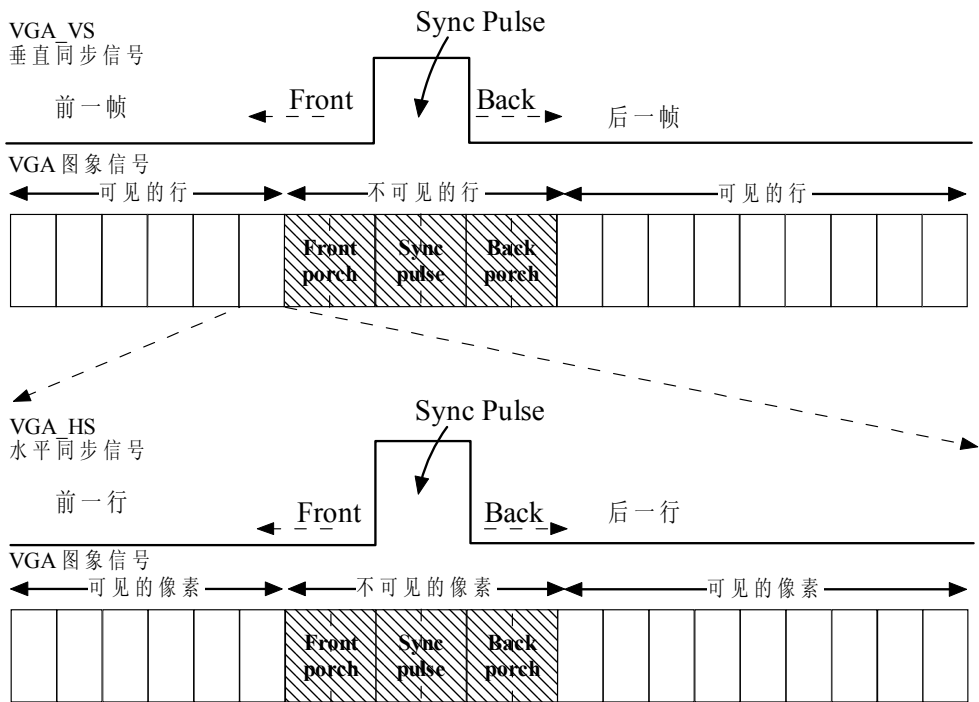
所以，本设计采用方案 2，该方案能够较好的适应教学用途的小型 FPGA，并且方案 2 可以直接将显示的各种图形组件和电路 RTL 代码模块对应，便于用户进行使用。

VGA 时序说明

同步和消隐

显示器上的连续活动的图像由帧构成，每一帧的图像由行构成，每一行图像由像素构成，VGA 信号由 RGB 三个颜色分量的模拟电压来表示每个像素的色彩，另外还配有两个同步信号，垂直同步 VS 信号和水平同步 HS 信号，垂直同步 VS 信号用来标识出一幅图像起始行，水平同步 HS 信号用来标识一帧图像的起始像素。

同步信号使用低电平作为有效信号，对于垂直同步信号，同步有效期间、有效之前（前沿 Front Porch）和之后（后沿 Back Porch）的一段时间，所对应行的 RGB 信号和水平同步信号是无效的。对于水平同步信号，同步有效期间、有效之前（前沿 Front Porch）和之后（后沿 Back Porch）的一段时间，所对应像素的 RGB 信号是无效的，对于无效的 RGB，应当消隐（电平为 0）。



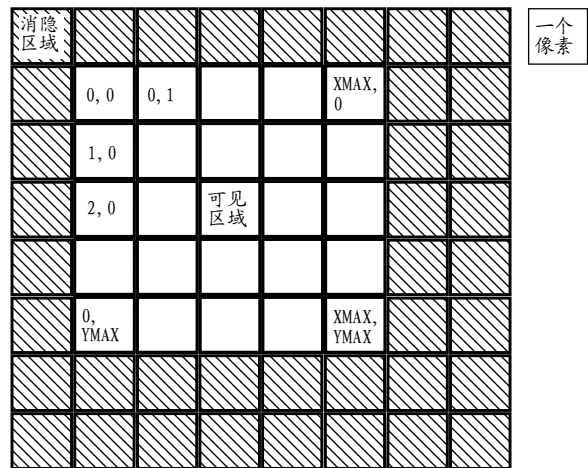
显示格式

VGA 支持有很多种分辨率和刷新率，它们的信号时序结构均如上图，区别在于各个时序参数数值的差异，在这个网站可以查询到各自参数细节（<http://tinyvga.com/vga-timing>），对于本参考设计采用的 800*600@72Hz，时序参数如下：

VESA Signal 800 x 600 @ 72 Hz timing
General timing
Screen refresh rate 72 Hz Vertical refresh 48.076923076923 kHz
Pixel freq. 50.0 MHz

Horizontal timing (line)			Vertical timing (frame)		
Polarity of horizontal sync pulse is positive.			Polarity of vertical sync pulse is positive.		
Scanline part	Pixels	Time [μs]	Frame part	Lines	Time [ms]
Visible area	800	16	Visible area	600	12.48
Front porch	56	1.12	Front porch	37	0.7696
Sync pulse	120	2.4	Sync pulse	6	0.1248
Back porch	64	1.28	Back porch	23	0.4784
Whole line	1040	20.8	Whole frame	666	13.8528

可以直观的按照如下方式理解 VGA 的时序，整个一幅图像的信号是一幅比可视分辨率更大的图像，而显示器上看到的只是全部图像的一部分，其余的部分是被消隐掉的。VGA 的时序标准就是用来说明全部的图像的尺寸，可见图像的尺寸，以及可见区域在全部图像中的位置，如下图所示。



电路结构设计

总体结构

LOGIC VGA 电路由若干模块构成，可以通过自由组合这些模块的例化对象来实现不同的显示器驱动电路，这些模块可以分成以下三种类型：

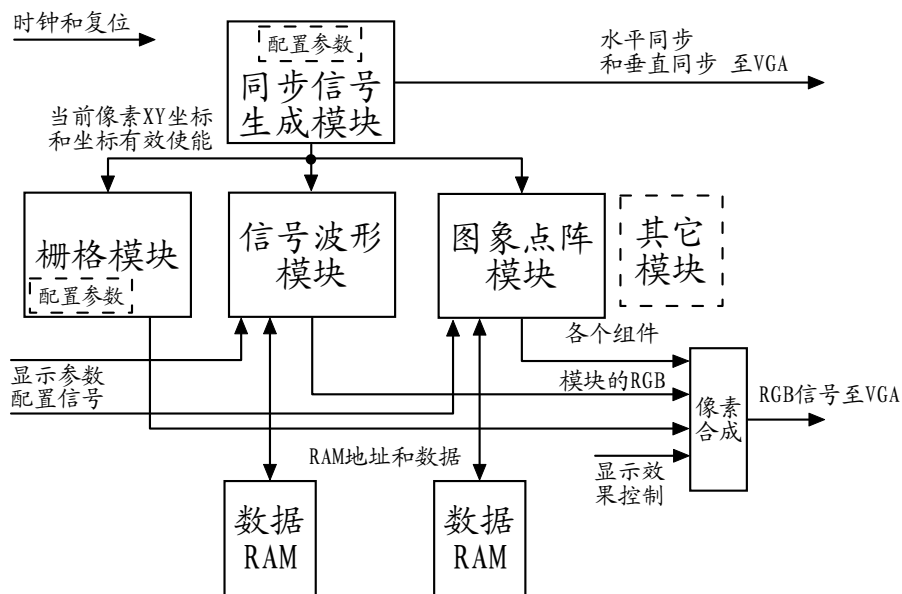
同步信号生成模块：负责生成输出给 VGA 显示器的 HS 和 VS 信号，以及生成给其它模块作为输入的当前绘制的像素的横纵坐标和坐标有效使能信号（用于标识当前输出的像素是一个可见的像素还是一个被消隐的像素）。

栅格生成模块：该模块每例化一次，可以在显示器上的某个指定矩形区域绘制一个尺寸和栅格数目可配置的栅格。

信号波形模块：该模块每例化一次，可以把一个保存信号采样的 RAM 数据绘制在显示器上的某个指定的矩形区域。

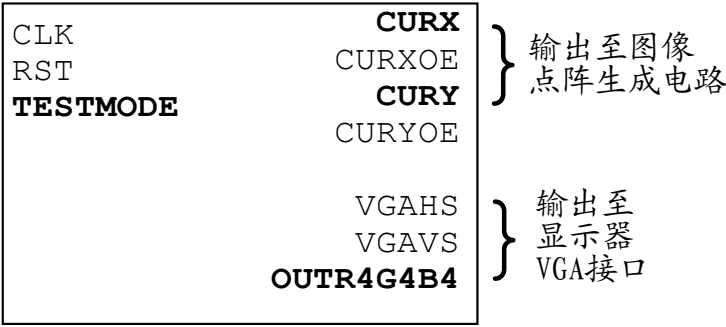
图像点阵模块：该模块每例化一次，可以把一个保存图像点阵的 RAM 数据绘制在显示器上的某个指定的矩形区域。

像素合成模块：该模块负责把各个子模块生成的 RGB 信号合成在一起，送至 VGA 显示器。



同步信号生成模块

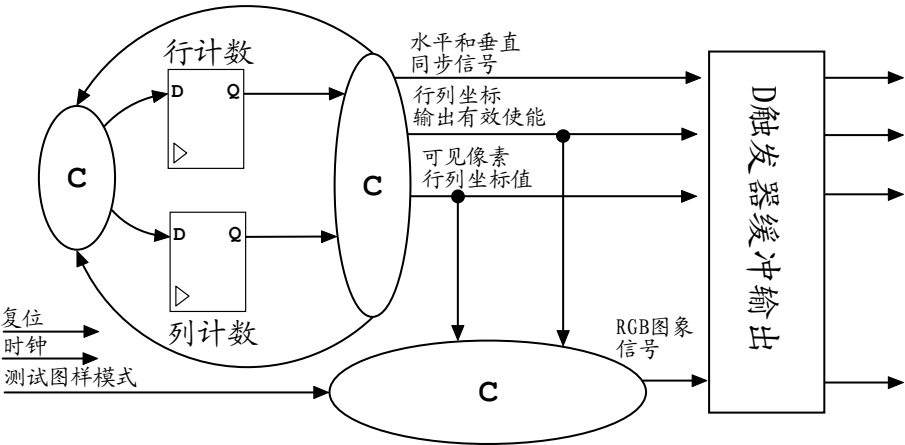
接口信号定义



VGA 同步信号生成模块

输出的 X, Y 坐标的定义为, 屏幕的左上角为 (0,0), 右下角为两个方向上的最大值坐标, 本模块可以通过修改配置参数和像素时钟的频率来适应不同分辨率的显示方案, 参考设计中使用的配置为 800×600@72Hz, 通过修改配置参数, 该模块最大支持到 1920*1440, (未作测试)。

RTL 结构简图



VGA 时间基准信号生成模块 RTL结构图

D 触发器和组合逻辑信号的流水顺序如下图所示:

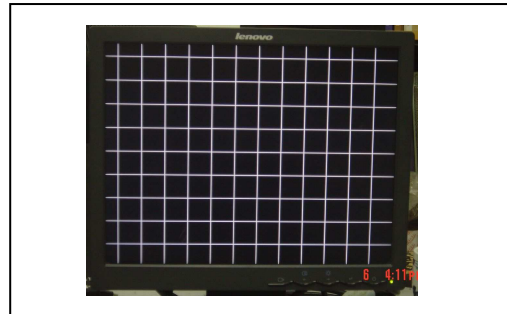
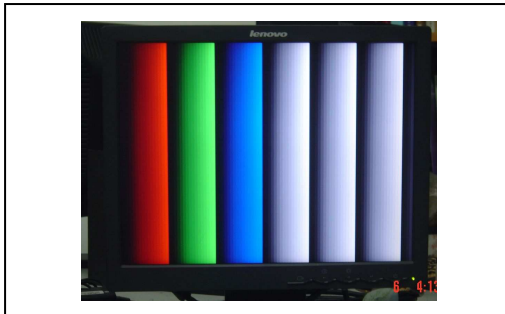
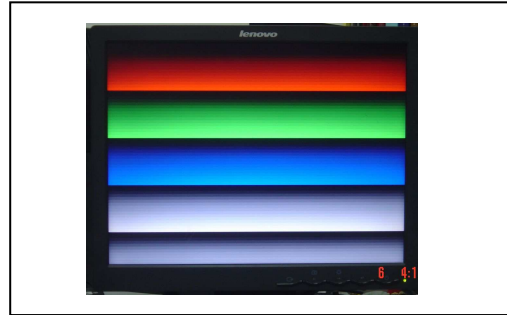
```
// hCntR  vCntR  vgavsC  vgahsC|vgahsR  vgavsR  OUTR4G4B4
// hCntOverflow curxC          |curxR  curyR  CURX  CURXOE
// vCntOverflow curyC          |curxoeR curyoeR  CURY  CURYOE
// curxoeC curyoeC outr4g4b4C|outr4g4b4R      VGAHS  VGAVS
                                          来自HDL代码
```

本模块拥有自测能力, 根据输入的测试模式配置信号生成不同的测试图样, 用于验证模块和电路板、显示器的正常工作。

在流水线对齐的前提下, 本模块的工作逻辑要点如下:

- 每个像素时钟周期, 水平方向的计数器以一整行像素的个数 (含被消隐的像素) 为模, 加 1 计数。
- 每个行周期, 垂直方向的计数器以一整屏行的个数 (含被消隐的行) 为模, 加 1 计数。
- 使用组合逻辑, 分别对水平和垂直计数器的值进行判断,
 - 在脉冲的有效期, 分别输出水平和垂直脉冲有效使能
 - 在像素和行的有效期, 分别输出水平有效和垂直有效使能
 - 在像素和行的有效期, 分别输出水平和垂直的位置有效数值

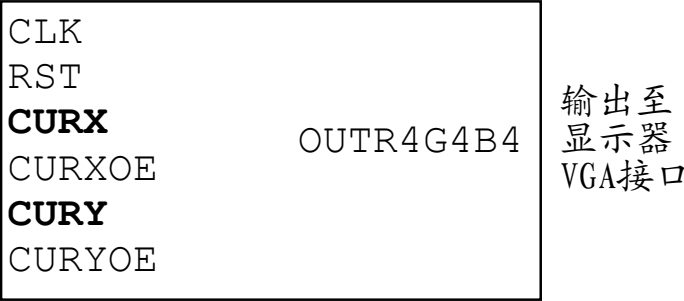
- 在像素和行的无效期，分别输出水平和垂直的位置无效数值（全 1）
- 根据当前的像素的水平和垂直的有效使能和位置数值，根据当前的测试模式，生成不同的测试图样。四种测试图样如下所示：（注：第一种模式用于测试图像有效显示区域的边框）
资源消耗：120LE，不消耗 RAM



实践作业：请修改测试模式图样的代码，生成一些你自定义的测试图样，必然，彩色的方块图样。。

栅格生成模块

接口信号定义



VGA 栅格信号生成模块

例化配置参数

名称	含义
X0	栅格所在区域的左上顶点 X 坐标
Y0	栅格所在区域的左上顶点 Y 坐标
XGSIZE	栅格的每个格子的水平尺寸，单位是像素
YGSIZE	栅格的每个格子的垂直尺寸，单位是像素
XGNUM	水平方向的格子数目
YGNUM	垂直方向格子数目
COLORGRIDR4G4B4	格子的颜色，12 比特，RGB 各 4 比特

RTL 结构简图

为了配合其它模块的流水级数，本模块采用 7 级流水线设计，D 触发器和组合逻辑信号的流水顺序如下图所示：

CURX	xInsideEnR	xGridTickR	outShowR	outShowd1R	outShowd2R	OUTR4G4B4
CURY	yInsideEnR	yGridkickR				
CURXOE	xInsideValR	xInsideEnR				
CURYOE	yInsideValR	yInsideEnR				
		xGridShowC				
		yGridShowC				
		xInsideValR				来自HDL代码
		yInsideValR				

在流水线对齐的前提下，本模块的工作逻辑要点如下：

- 根据输入的当前像素的 XY 坐标和当前像素的 XY 方向上的有效使能信号工作
- 生成当前像素位于目标显示区域的使能信号。
- 生成当前像素在目标显示区域的内部 XY 坐标。
- 使用当前像素的内部 XY 坐标，计算 X/Y 两个方向上的栅格位置计数（Grid Tick）
 - X 方向的栅格计数
 - ◆ 若当前像素的水平坐标位于目标显示区域，则水平方向栅格计数器以栅格的水平尺寸为模，加 1 计数。否则，置为无效计数值
 - Y 方向的栅格计数
 - ◆ 若当前像素的垂直坐标位于目标显示区域，计数器才工作，否则置为无效值。
 - ◆ 在像素的内部坐标换行的时候，计数器动作，否则保持（即：有效显示区域内每行的第一个

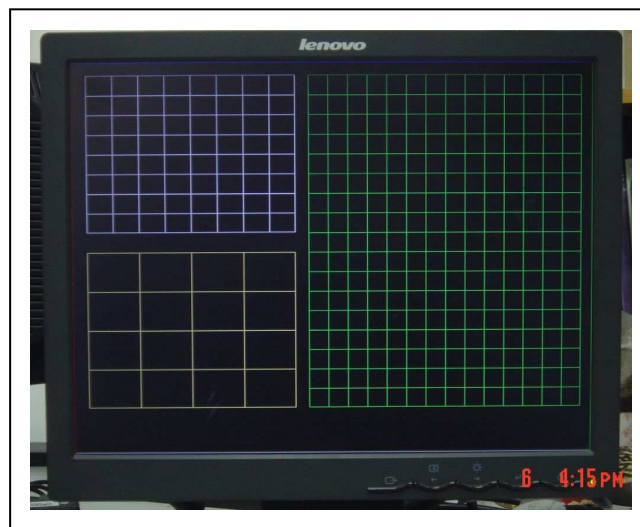
有效像素的时候动作)。

◆ 计数器以栅格的垂直尺寸为模，加 1 计数。

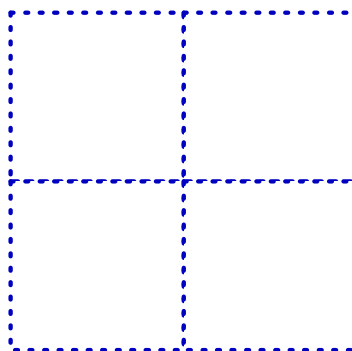
- 生成 X 方向的显示使能信号
 - 根据 X 方向的栅格位置计数值
 - 绘制显示区域的右边框（该边框无法用 X 栅格位置计数器的数值进行映射）
- 生成 Y 方向的显示使能信号
 - 根据 Y 方向的栅格位置计数值
 - 绘制显示区域的下边框（该边框无法用 Y 栅格位置计数器的数值进行映射）
- 根据 XY 方向的显示使能绘制输出的像素的 RGB。

资源消耗: 110 LE, 不消耗 RAM

例化三个该模块的显示效果如下图所示:

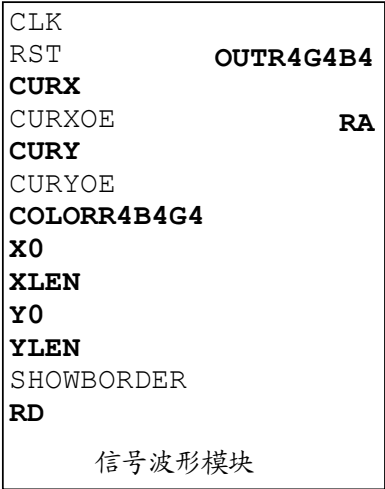


实践作业: 请修改代码，生成如下“打点”效果的栅格图样



信号波形模块

接口信号定义

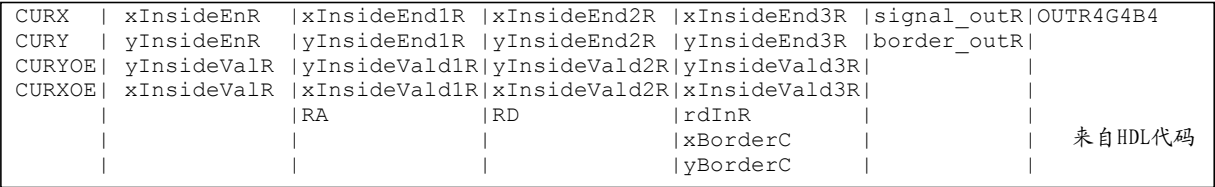


注意：该模块的 X0Y0 是绘图区域的左下角

名称	方向	含义
X0	输入	信号绘制区域的左下角端点 X 坐标
Y0	输入	信号绘制区域的左下角端点 Y 坐标
XLEN	输入	信号绘制的水平尺寸，单位是像素
YLEN	输入	信号绘制的垂直尺寸，单位是像素
COLORR4B4G4	输入	信号的颜色
SHOWBORDER	输入	显示信号绘制区域的边框（调试用）
RD	输入	从 RAM 中读出的信号采样数据
OUTR4G4B4	输出	绘制出的信号曲线
RA	输出	格子的颜色，12 比特，RGB 各 4 比特

RTL 结构简图

为了配合其它模块的流水级数，本模块采用 7 级流水线设计，D 触发器和组合逻辑信号的流水顺序如下图所示：

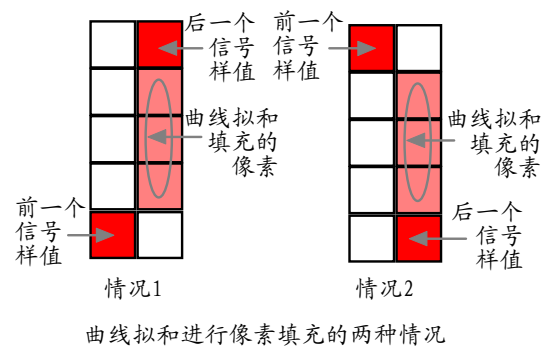


在流水线对齐的前提下，本模块的工作逻辑要点如下：

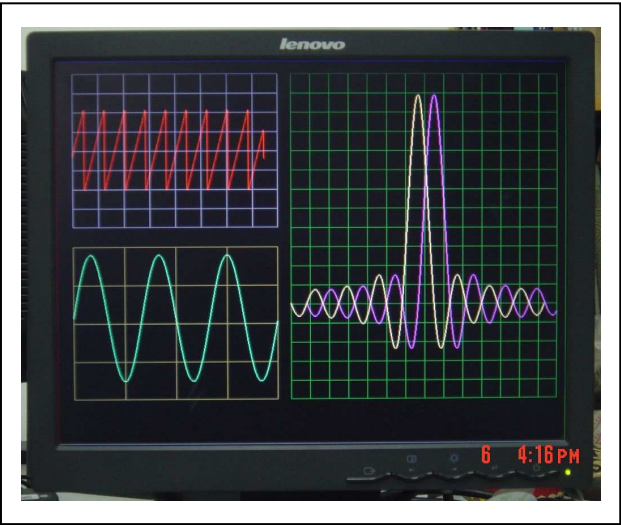
- 根据输入的当前像素的 XY 坐标和当前像素的 XY 方向上的有效使能信号工作
- 生成当前像素位于目标显示区域的使能信号。
- 生成当前像素在目标显示区域的内部 XY 坐标。
- 根据当前像素的内部 XY 坐标计算信号 RAM 的读地址。
- 读取信号 RAM 的读取数据。

- 根据当前像素的内部 XY 坐标计算当前的边框像素
- 根据当前像素的内部 XY 坐标和读取的信号值进行输出像素的曲线拟合，考虑以下因素：
 - 当前像素是否属于目标显示区域
 - ◆ 当前像素是信号样值的有效像素
 - ◆ 当前像素是一个要拟合输出的有效像素
- 把信号像素和边框像素合成为当前的输出像素

曲线拟合的策略



例化四个信号波形模块，同时例化三个栅格模块的显示效果如下图所示：



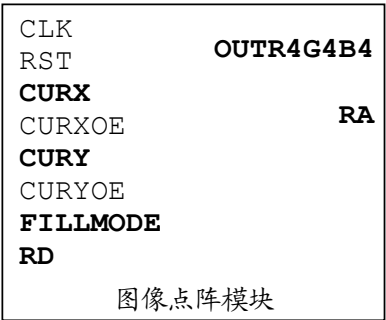
资源开销

模块说明	模块名称	LE 数量	Memory 比特	M9K 数目
栅格生成模块 0	rtl_test_vga_signal vga_grid:U_grid0	89 (89)	0	0
栅格生成模块 0	rtl_test_vga_signal vga_grid:U_grid1	109 (109)	0	0
栅格生成模块 0	rtl_test_vga_signal vga_grid:U_grid2	104 (104)	0	0
信号波形模块 0	rtl_test_vga_signal vga_signal:U_signal0	176 (176)	0	0
信号波形模块 1	rtl_test_vga_signal vga_signal:U_signal1	208 (208)	0	0
信号波形模块 2_1	rtl_test_vga_signal vga_signal:U_signal2_1	202 (202)	0	0
信号波形模块 2_2	rtl_test_vga_signal vga_signal:U_signal2_2	202 (202)	0	0
信号采样 RAM 1	rtl_test_vga_signal signal_1_rom:U_signal_1_rom	0 (0)	4096	1
信号采样 RAM 2_1	rtl_test_vga_signal signal_2_rom:U_signal_2_1_rom	0 (0)	4608	1

信号采样 RAM 2_2	rtl_test_vga_signal signal_2_rom:U_signal_2_2_rom	0 (0)	4608	1
同步信号生成模块	rtl_test_vga_signal vga_sync:U_sync	116 (116)	0	0

实践作业：请修改代码，使得显示器上由曲线拟合而显示的像素变暗，用户观察波形时可以很清晰的分辨出哪些波形的像素是从信号 RAM 中读出的数值，哪些像素是绘制电路根据拟合算法生成。

图像点阵模块



例化配置参数

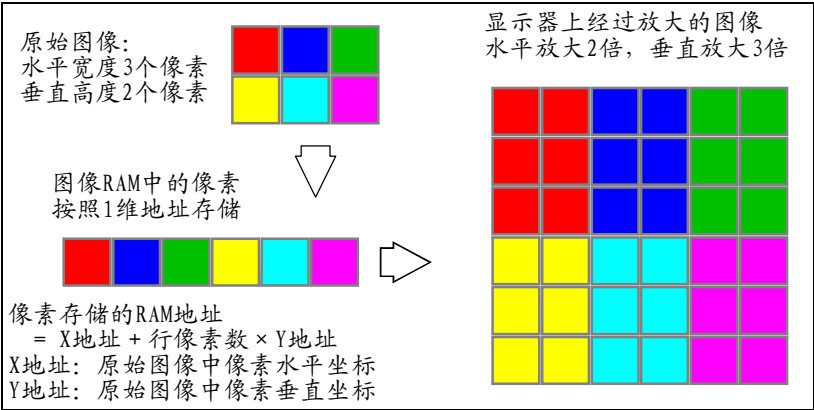
名称	含义
X0	图像点阵显示区域的 左上顶点 X 坐标
Y0	图像点阵显示区域的 左上顶点 Y 坐标
XPIXNUM	外挂的图像 RAM 中，存储图像的水平尺寸，单位是像素
YPIXNUM	外挂的图像 RAM 中，存储图像的垂直尺寸，单位是像素
XZOOM	像素显示的水平放大倍数
YZOOM	像素显示的垂直放大倍数

接口信号定义

名称	方向	含义
FILLMODE	输入	像素放大时的填充模式，00/11 表示全部填充，01 表示 X 填充，10 表示空心填充
RD	输入	从 RAM 中读出的像素信息
OUTR4G4B4	输入	输出的像素信息（复制自 RD 信号的数据）
RA	输出	外部图像点阵 RAM 的读取地址。

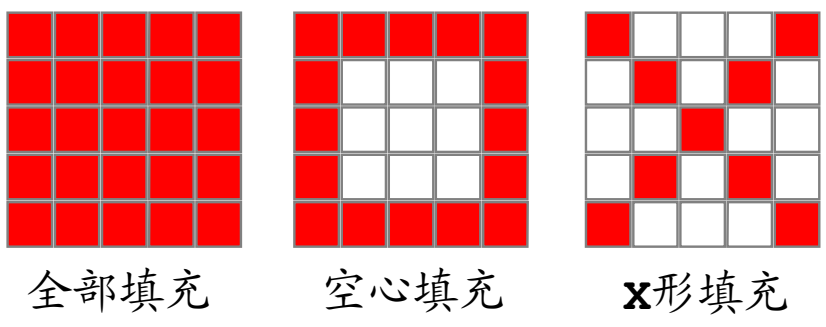
像素的存储和显示放大

在某些应用场景下，为了更加容易的进行数据观测以及保护用户的视力。本模块提供了可以独立配置水平和垂直两个方向上，像素的显示放大倍数的功能。图像的像素信息按照 1 维的顺序存放于电路外挂的像素 RAM 中，图像点阵模块根据配置的水平和垂直的放大倍数，将相应地址的像素数据读出绘制到显示器上



像素放大的填充模式

对于绘制信号处理系统的零极点、数字通信系统的星座图这类需求，像素点阵的放大填充模式会有一些用处。有三种模式：全部填充，空心填充，X 形填充。



RTL 结构简图

为了配合其它模块的流水级数，本模块采用 7 级流水线设计，D 触发器和组合逻辑信号的流水顺序如下图所示：

CURX		xInsideEnR		xInsideEnd1R		xInsideEnd2R		xInsideEnd3R		xInsideEnd4R		OUTR4G4B4
CURY		yInsideEnR		yInsideEnd1R		yInsideEnd2R		yInsideEnd3R		yInsideEnd4R		
CURYOE				xZoomCntR		xRamAddrCntR		RA		RD		
CURXOE				yZoomCntR		yRamAddrCntR						
						pixOnR		pixOnd1R		pixOnd2R		

来自 HDL 代码

在流水线对齐的前提下，本模块的工作逻辑要点如下：

- 根据 当前像素的 X、Y 坐标生成其位于 X、Y 坐标位于目标显示区域的有效信号
- 根据 X、Y 的 Inside 使能信号生成 X、Y 的 Zoom 计数器信号，这两个计数器均是根据 Zoom 参数配置进行加 1 回绕计数。
- 根据 Inside 使能信号和 Zoom 计数器的值，生成地址计数器的 X 分量，该地址分量为加 1 计数，以图像点阵的水平尺寸为模回绕。
- 根据 Inside 使能信号和 Zoom 计数器的值，生成地址计数器的偏移量 - X 分量，该地址分量为原始图像的 X 坐标，加 1 计数，以图像点阵的水平尺寸为模回绕。
- 在每次开始读取原始图像新一行的像素时，生成地址计数器的基地址分量，该分量为原始图像的 Y 坐标 × 图像的水平宽度，以图像的水平宽度为增量，以图像的总像素数目为模计数。
- 使用基地址和偏移量生成 RAM 的读取地址。
- 根据用户的配置和 X、Y 方向的 Zoom 计数器的值，生成当前输出像素的显示有效信号，该信号用于绘制不同的像放大填充模式。

低色彩分辨率图像的显示

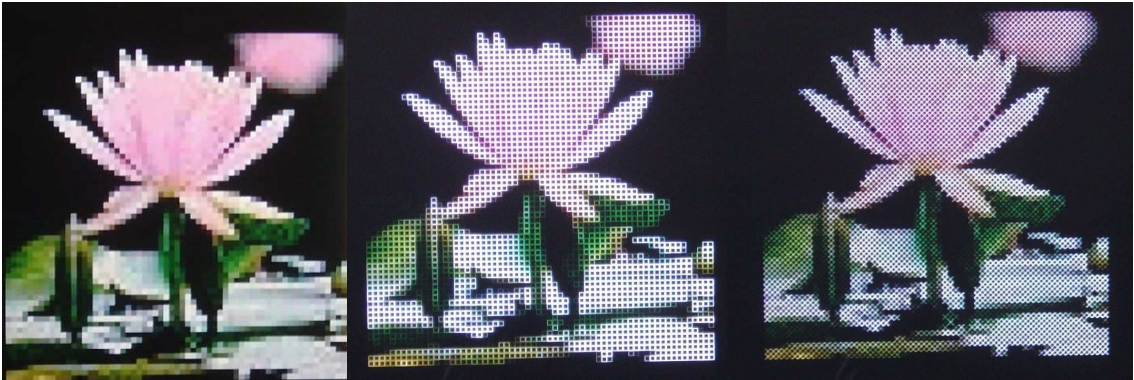
本模块定义外挂 RAM 的输入数据宽度以及本模块的输出 RGB 信号的宽度均由参数 “RGBBIT” 定义，并且输出的 RGB 信号数据是对输入的 RD 信号数据的拷贝，所以当存储了单色或色彩分辨率较低的图像时，建议用户自行对图像 RAM 的输出数据进行色彩映射后，再送至本模块的 RD 输入端口。

测试程序的资源开销和显示效果图

例化图像点阵模块 5 次，原始的彩色荷花图像为 64 × 64 点阵，每像素 RGB 各 4 比特，分别以原始尺寸；水平和垂直分别放大 6 倍，以及同时放大 6 倍；原始的黑白书法图像为 240 × 500 点阵，每像素 1 比

特，以原始尺寸显示。使用 EP3C16 FPGA 资源消耗情况如下表。

模块说明	模块名称	LE 数量	Memory 比特	M9K 数目
顶层模块	rtl_test_vga_pixmap	720 (36)	327680	40
单色点阵 ROM	rtl_test_vga_pixmap bw_pixmap_rom:U_bw_pixmap_rom	27 (0)	131072	16
点阵模块 0	rtl_test_vga_pixmap vga_pixmap:U_pixmap0	93 (93)	0	0
点阵模块 1	rtl_test_vga_pixmap vga_pixmap:U_pixmap1	110 (110)	0	0
点阵模块 2	rtl_test_vga_pixmap vga_pixmap:U_pixmap2	99 (99)	0	0
点阵模块 3	rtl_test_vga_pixmap vga_pixmap:U_pixmap3	147 (147)	0	0
点阵模块 4	rtl_test_vga_pixmap vga_pixmap:U_pixmap4	100 (100)	0	0
彩色图像点阵 ROM0	rtl_test_vga_pixmap pixmap_rom:U_pixmap_rom0	0 (0)	49152	6
彩色图像点阵 ROM1	rtl_test_vga_pixmap pixmap_rom:U_pixmap_rom1	0 (0)	49152	6
彩色图像点阵 ROM2	rtl_test_vga_pixmap pixmap_rom:U_pixmap_rom2	0 (0)	49152	6
彩色图像点阵 ROM3	rtl_test_vga_pixmap pixmap_rom:U_pixmap_rom3	0 (0)	49152	6
同步信号模块	rtl_test_vga_pixmap vga_sync:U_sync	110 (110)	0	0



全部填充

空心填充

X 形填充

实践作业：请修改代码，增加一种填充方式“十字型填充”。

参考设计说明

项目

项目名称	用途
test_vga_sync	生成 VGA 同步信号和测试图样
test_vga_grid	测试多个不同配置参数的栅格的绘制
test_vga_signal	测试多个不同配置参数的栅格和信号采样的绘制
test_vga_pixmap	测试多个不同配置参数的图像点阵的绘制

目录说明

目录名称	用途
doc	文档目录
hdl_src	HDL 代码目录
modelsim	Modelsim 仿真工程目录
quartus	RTL 编译目录

代码文件命名规则说明

以 rtl 字样开头的代码表示这是一个 Verilog RTL 代码描述文件
以 tb 字样开头的代码表示这是一个 Verilog 仿真 testbench 代码描述文件
ROM 模块的文件名中带有 ROM 的字样
Matlab 代码用于生成项目需要的各种 ROM 文件
位于 hdlsrc 目录下的 TXT 文件用于约束 Quartus 工程的 FPGA pin 管脚