

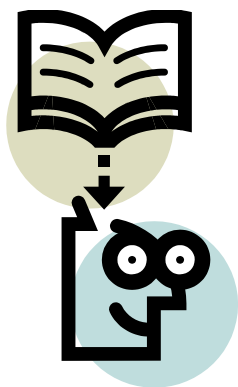
FPGA SDR 实验

音频DDS合成

中国传媒大学 数字化工程中心 杜伟韬
duweitao@cuc.edu.cn

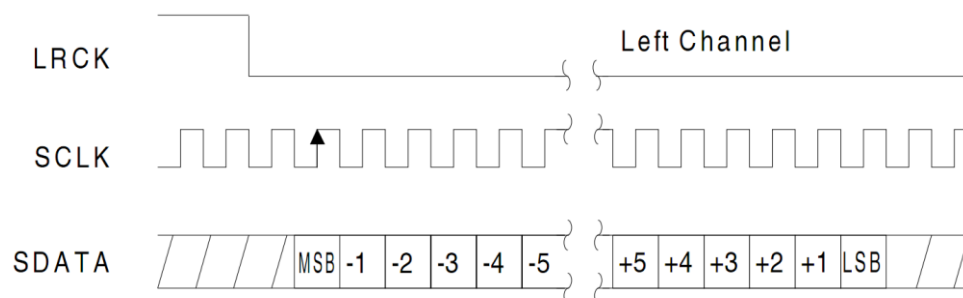
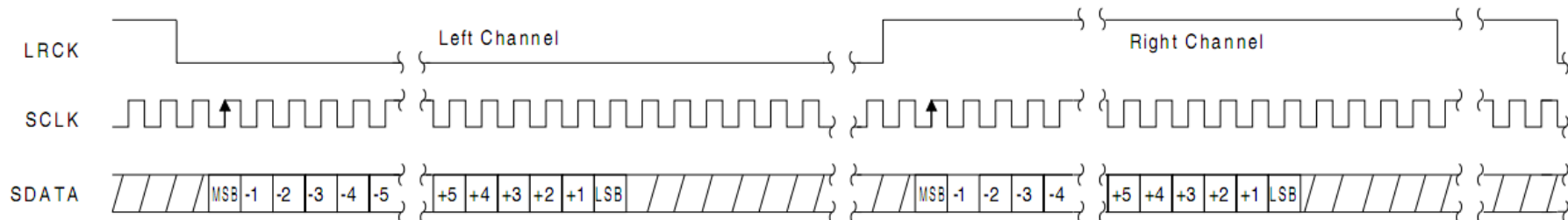
本实验目标

- 理解多周期电路结构的音频DDS应用
- 理解I2S串行音频接口格式以及音频DAC芯片使用
- 合成指定频率音频正弦信号



背景知识

I2S接口格式



- 2比特同步信号
 - LRCLK（样值同步）：用于同步左右声道的立体声采样数据
 - SCLK（位同步）：用于同步每个采样的各个比特
- 1比特串行数据

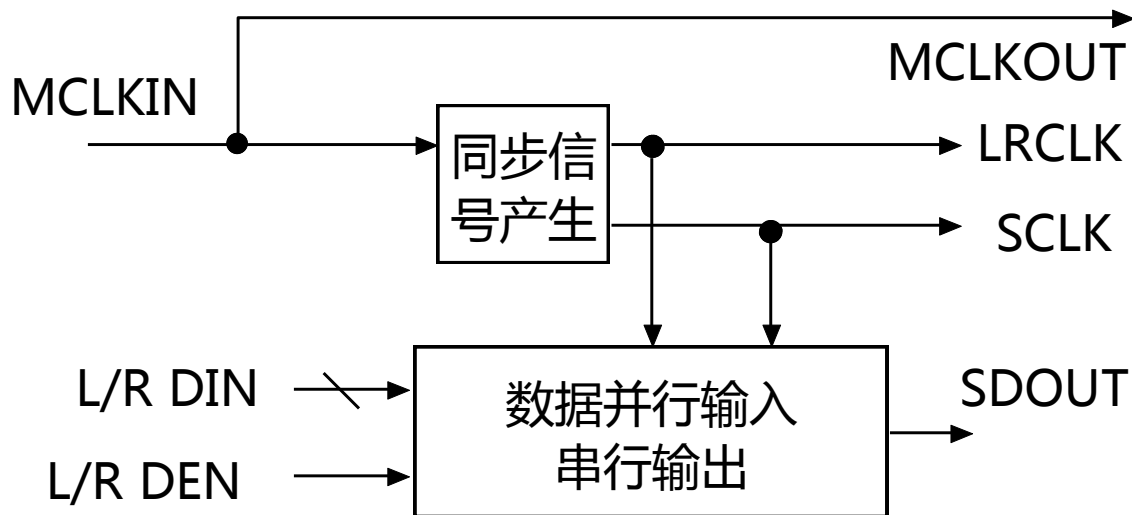
CS4334接口格式

- 除了I2S定义的信号之外，还需输入一个高速率主时钟(MCLK)
- 其他同步信号由MCLK分频得到
- 有两种采样率模式，基本模式BRM，高速率模式HRM
- 2种位时钟（SCLK）模式
 - 内部SCLK模式，CS4334自行产生SCLK，2个样值周期内没有探测到SCLK输入则自动进入该模式
 - 外部SCLK模式，在LRCLK的任何一个相位阶段，若探测到外部送入16个SCLK周期则自动进入该模式
- MCLK和LRCLK的倍率与频率由手册定义

LRCK (kHz)	MCLK (MHz)				
	HRM		BRM		
	128x	192x	256x	384x	512x
32	4.0960	6.1440	8.1920	12.2880	16.3840
44.1	5.6448	8.4672	11.2896	16.9344	22.5792
48	6.1440	9.2160	12.2880	18.4320	24.5760
64	8.1920	12.2880	-	-	-
88.2	11.2896	16.9344	-	-	-
96	12.2880	18.4320	-	-	-

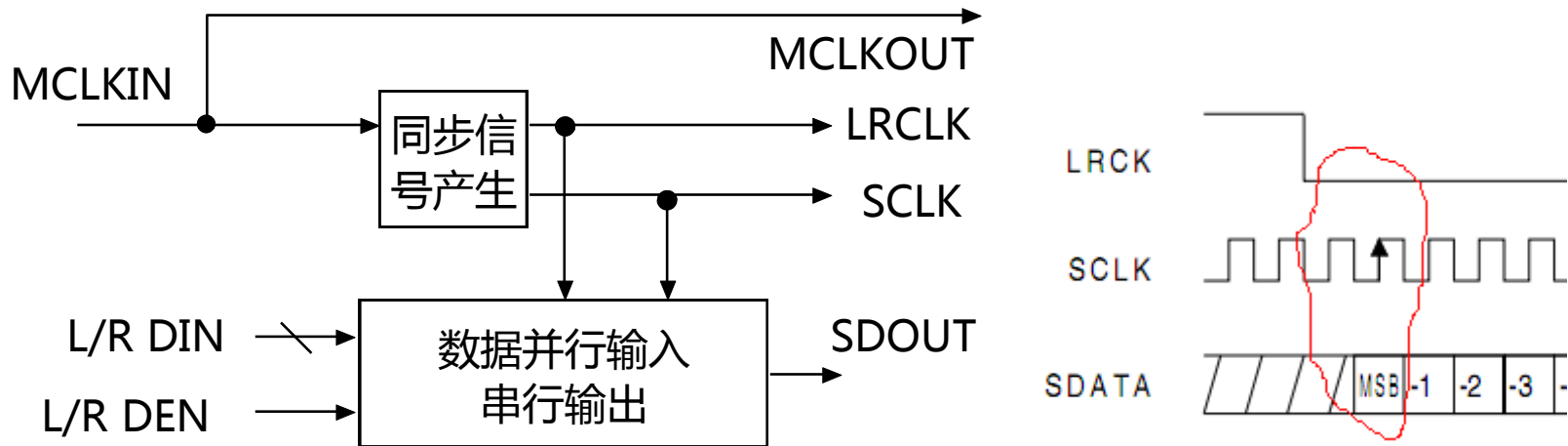
Table 1. Common Clock Frequencies

CS4334接口控制器设计



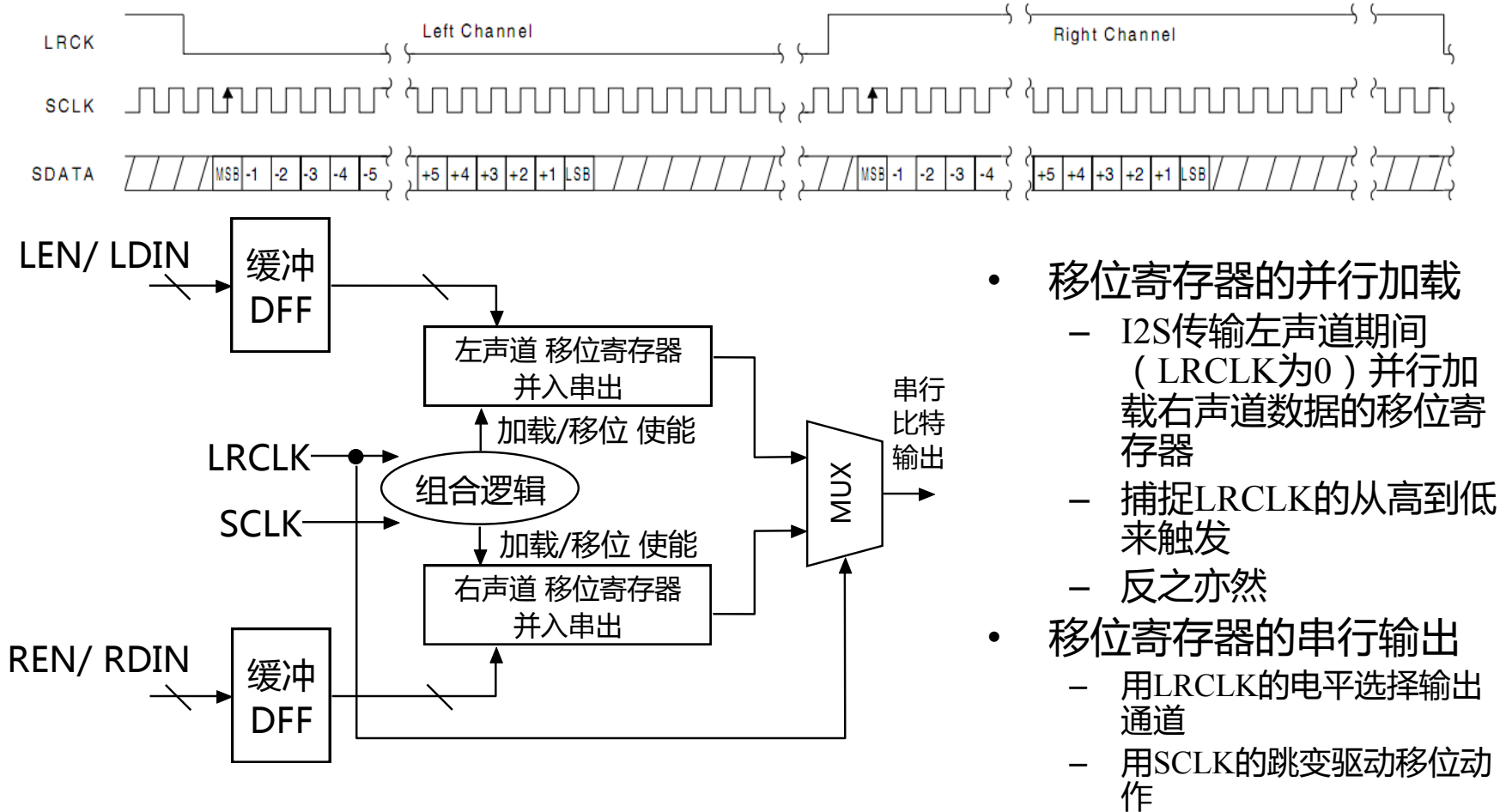
- 该控制器把并行输入的左右声道数据映射为I2S格式输出。
- 由2部分构成
 - 同步电路：生成样值同步和位同步信号
 - 数据移动电路：把并行输入的数据串行输出，该模块需用同步信号控制其动作
- 模块电路结构
 - 同步电路：本质上是个带有多个输出信号的计数器
 - 数据移动电路：本质上是个并入串出的移位寄存器，被同步信号控制其动

时序参数设计



- 注意：样值的最高位输出，相对于样值同步信号的边沿有1比特的延迟。
- 时序参数：
 - BRM模式，MCLK，24.576MHz，LRCLK 48kHz
 - $MCLK = 512 \times LRCLK$ ，左右声道数据均为16比特
 - 自行设定 $SCLK = LRCLK * 64$ ，则左右声道各有32个位时钟周期，使用其中17个周期传输数据（第1个位周期用于填充空白）

移位寄存器的动作策略





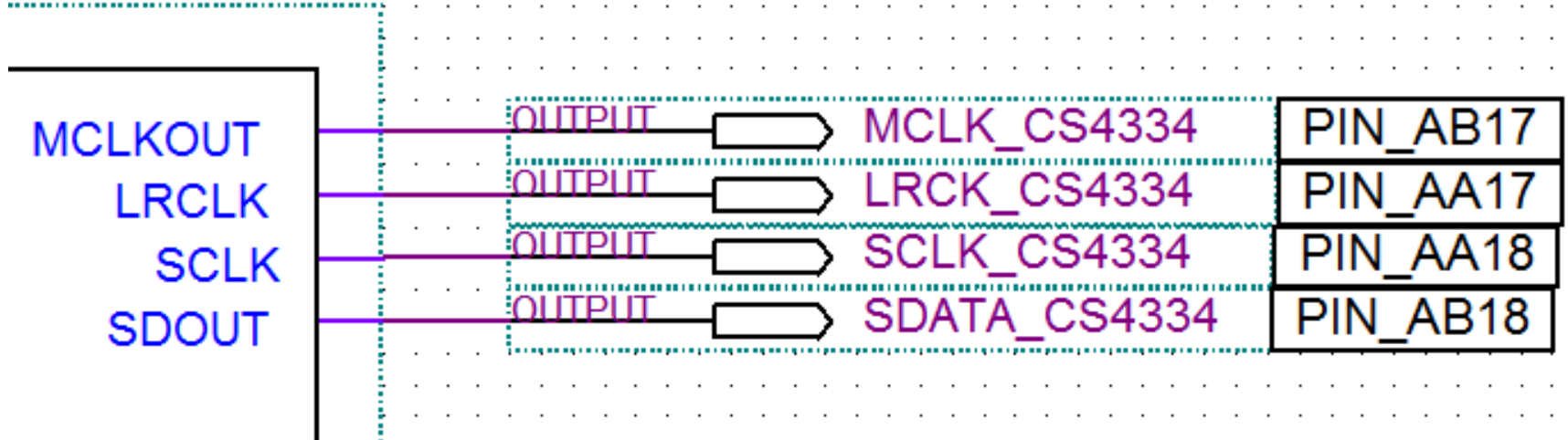
上机操作

本实验需要使用
DE0外扩子卡

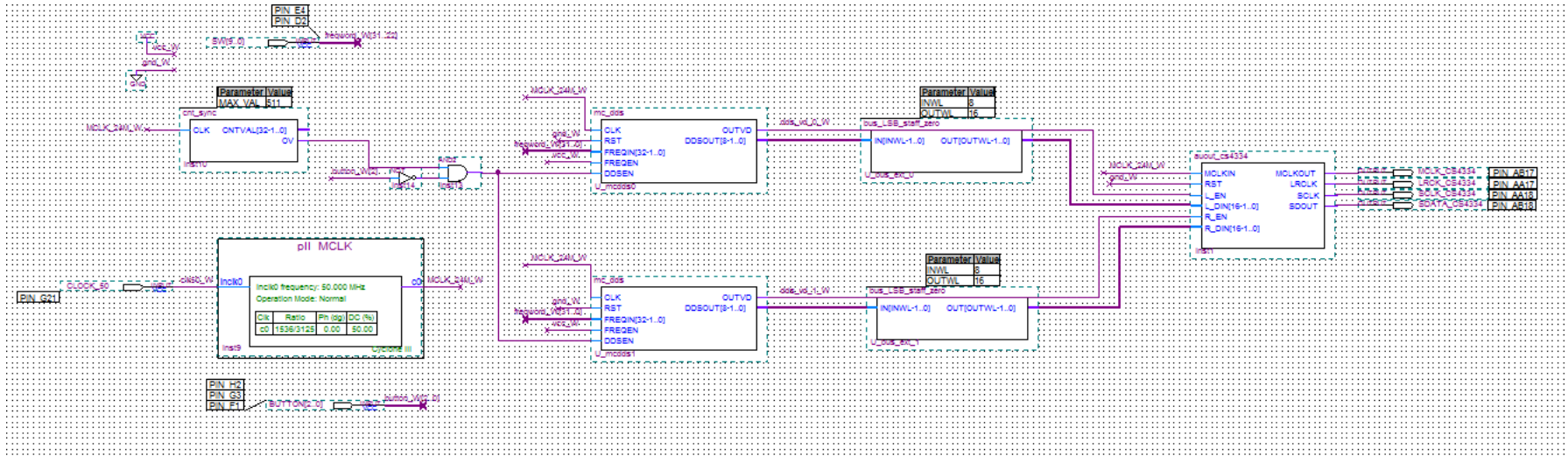
致谢列表：2013级硕士何欢同学

音频DAC管脚分配

- 子卡版本，Build 20140318



打开LAB Audio DDS Syn



• 观察一下顶层结构

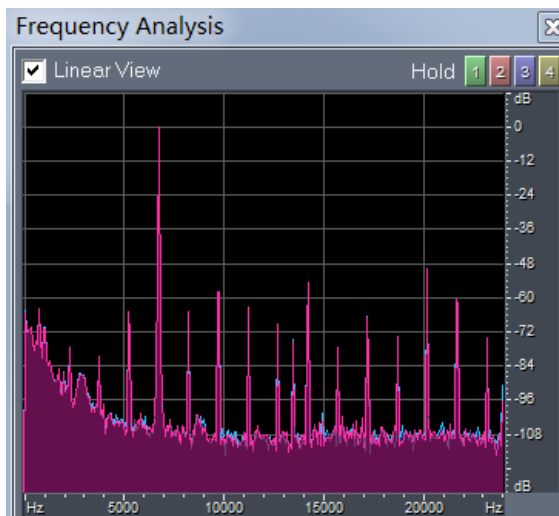
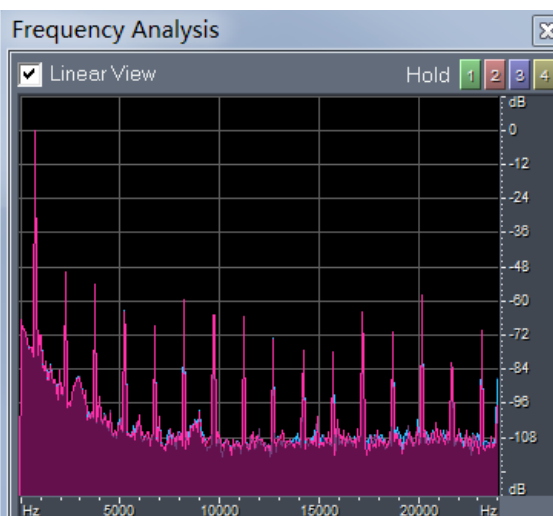
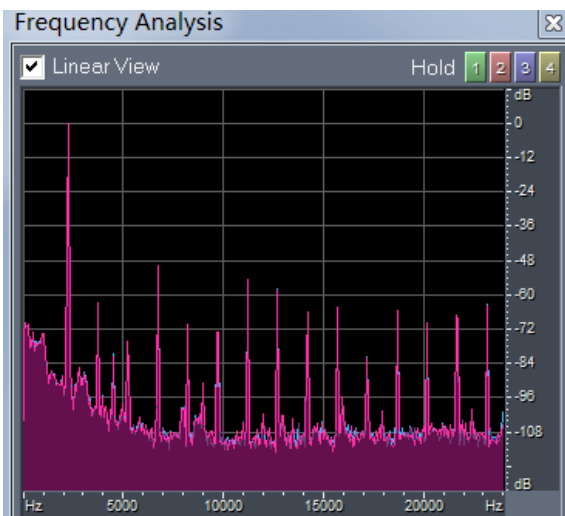
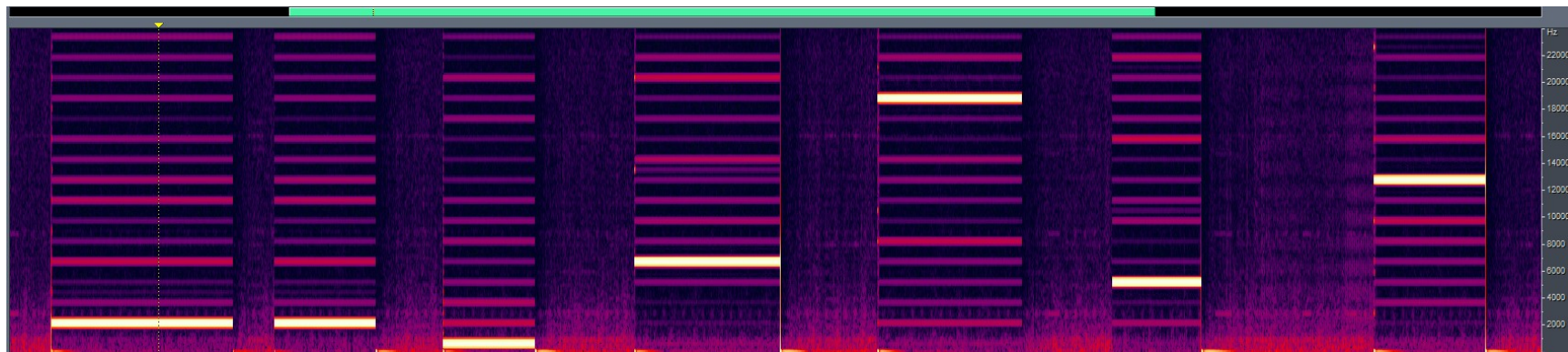
- 该设计由2个多周期DDS生成立体声信号
- 使用CS4334作为音频DAC
- 使用PLL合成出24.576MHz的音频主时钟，MCLK
- 输出的音频频率由SW拨码开关控制
- 按下BUTTON 3 会开启音频输出使能

连接耳机到扩展卡Audio Out 插孔

- 把SW拨码开关打到某个档位
- 按下BUTTON3
- 在耳机中听到响应频率的正弦波
- 拍发：三短、三长、三短的音频信号，根据国际惯例代表SOS
- 拨动SW开关，换成别的频率再次拍发，收听

连接声卡的LineIn到扩展卡的Audio Out 插孔

- 重复刚才的拍发过程，用CoolEdit软件录音，观察光谱和频谱



学生实验

- 修改代码完成以下任务
- 生成不同频率的正弦波
 - 用2比特的拨码开关设定
 - 00 ~ 1kHz、01 ~ 2kHz、10 ~ 4kHz、11 ~ 8kHz
- 把数据导入到Matlab
 - 观察频谱
 - 确认你生成的信号频率正确
- 选作任务，把DDS的rom改成16比特
 - 再次观察你生成信号的频谱纯度