

# FPGA SDR 实验

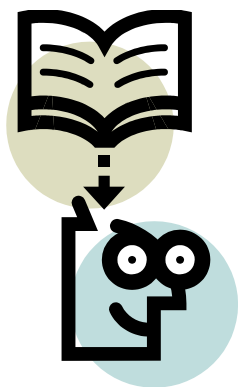
## 并行ADC、DAC

中国传媒大学 数字化工程中心 杜伟韬  
duweitao@cuc.edu.cn

# 本实验目标

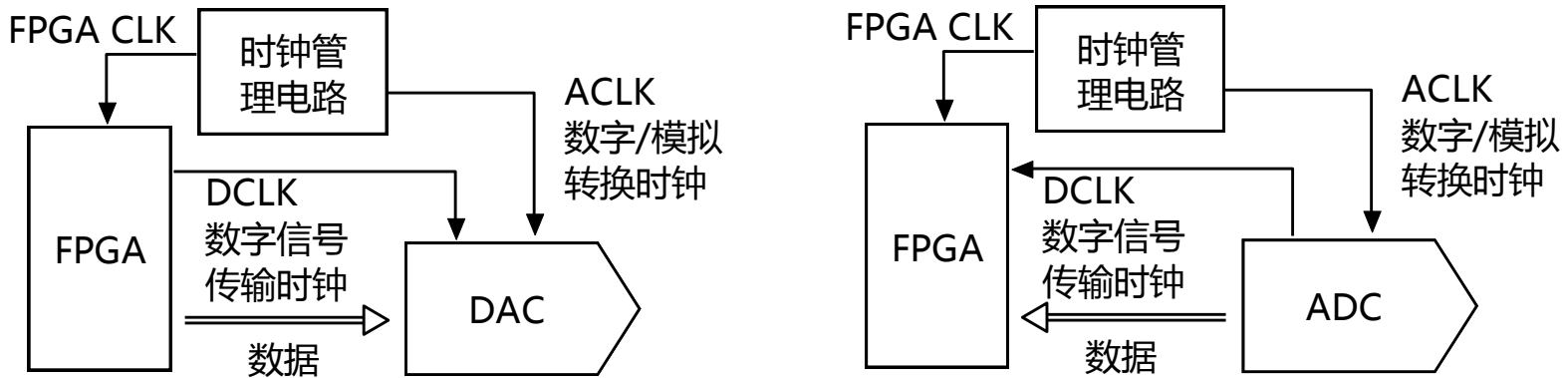
---

- 掌握并行DAC、ADC的接口时序
- 用DDS合成信号，经过DAC输出
- 用ADC采集信号
- 使用SignalTAP在时域观察信号
- 使用Matlab在频域观察信号



# 背景知识

# 关于高速数据转换器的时钟管理



- ACLK和DCLK的区别
  - 用于进行数据转换的ACLK，应尽量高质量
  - 最好不要经过FPGA，否则该时钟的波形质量会下降
  - 用同步数据的DCLK，只要满足数据的建立保持特性即可
- 本实验配套电路板的局限性
  - 由于成本问题，本实验配套电路板没有采用时钟管理芯片
  - DAC、ADC的数据转换时钟经过了FPGA芯片内部
  - 对于高指标的设计不能这样做

# 本参考设计的时钟方案

---

- 使用FPGA片内的锁相环
  - 由50MHz晶振的时钟信号
  - 倍频得到80MHz的DAC时钟
  - 分频得到20MHz的ADC时钟
- 用FPGA的逻辑对内部的80MHz时钟反相作为DAC芯片时钟，用于满足DAC数据的建立-保持时序
- ADC芯片在时钟的上跳锁存数据
- ADC时钟同样进行反相，作为ADC接口逻辑的驱动时钟
- 注意：这种用FPGA的内部逻辑电路进行ADC、DAC的时钟相位调整的方法，其时钟的抖动和相位噪声不好。高质量设计中，通常用专门的时钟管理芯片完成时钟的相位调节

# 转换器的垂直域（电压、数值）问题

---

- AD9762是无符号的DAC器件
- 有符号补码需要先把高位取反再送给DAC
  - 请自行推导此时的有符号补码数和无符号数之间的对应关系
- AD9200是无符号的ADC
  - 最大电压对应MAX值
  - 0电压对应0值
- 注意ADC芯片还有一个溢出 out of range 信号
- ADC输入的电压如果超限，则溢出信号置位1
- 数据溢出对于ADC的采样结果是灾难性的
- 尤其是对于频域处理算法
- 一旦检测到ADC溢出，必须先调整其不溢出之后，再进行其他处理动作。



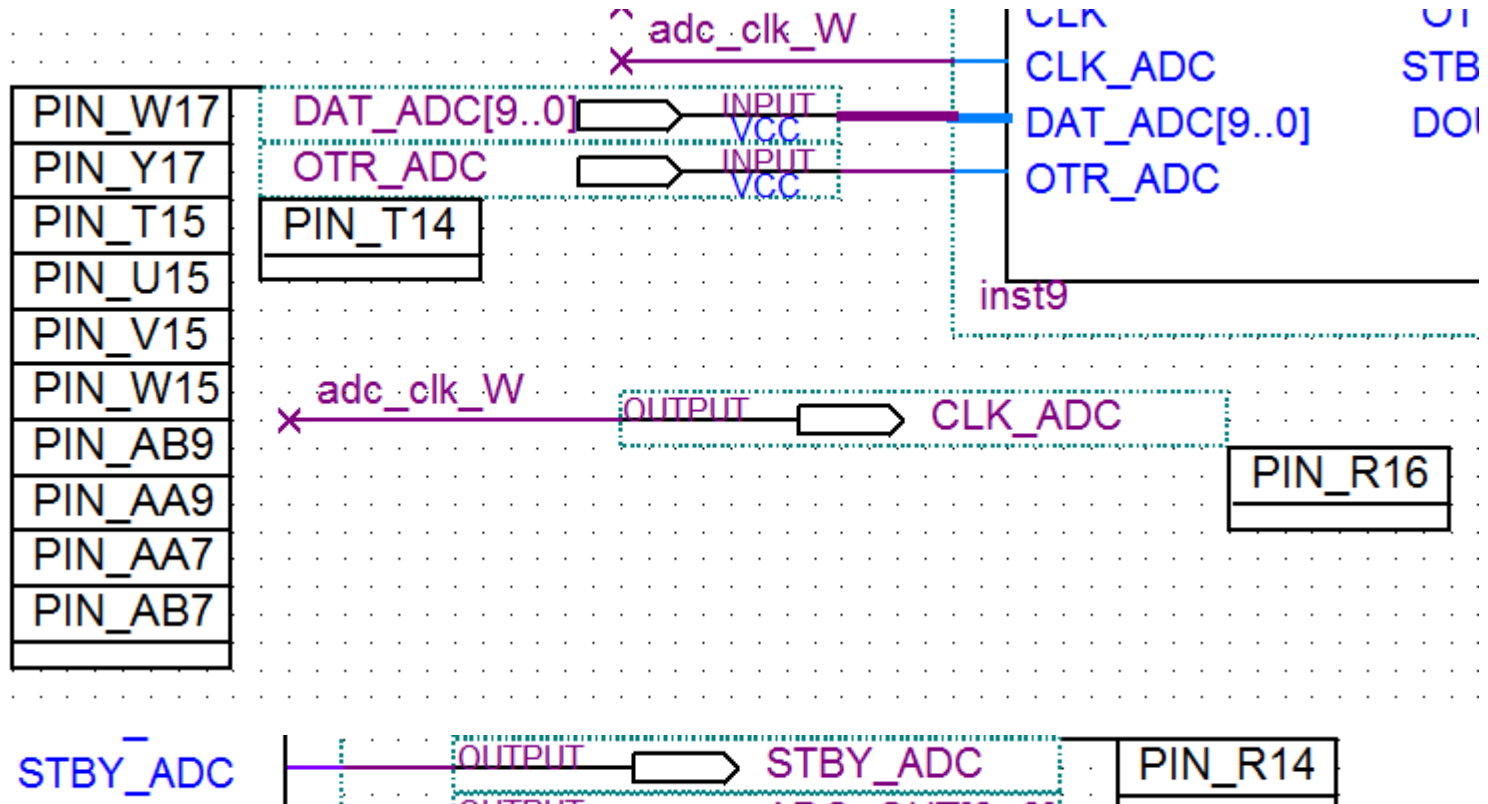
# 上机操作

本实验需要使用  
DE0外扩子卡

2014年份致谢：2013级硕士生何欢同学

# ADC 管脚分配

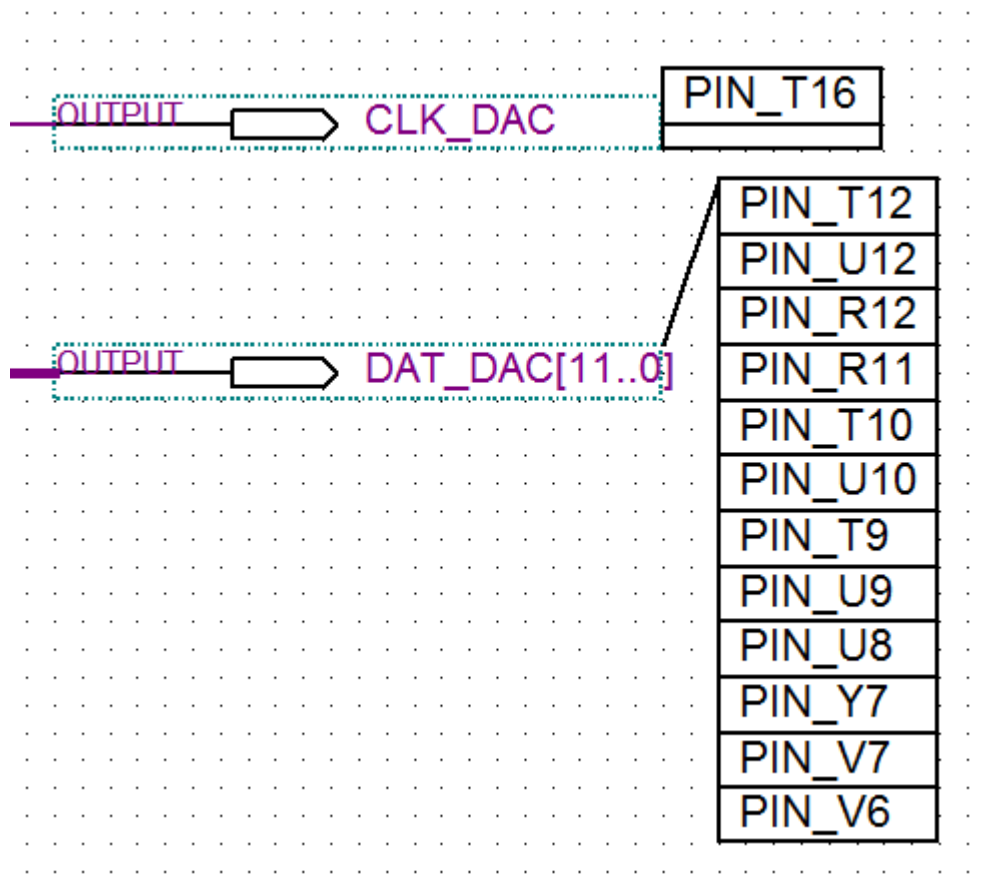
- 子卡版本，Build 20140318



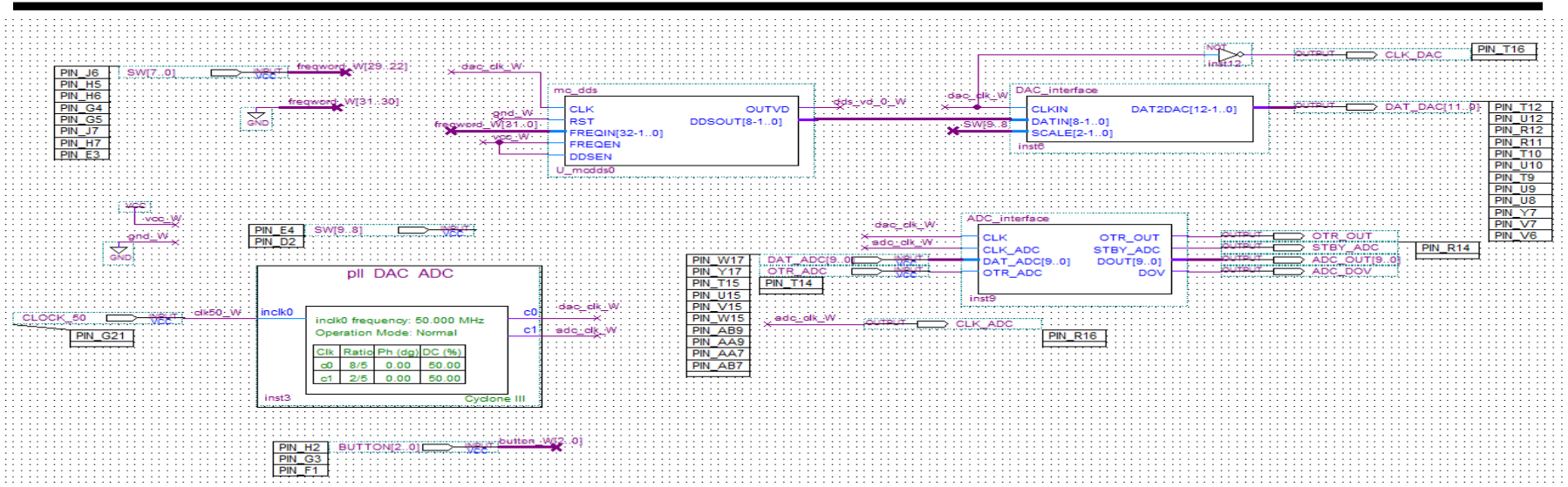
STBY信号置1，则ADC一直工作

# DAC 管脚分配

- 子卡版本，Build 20140318



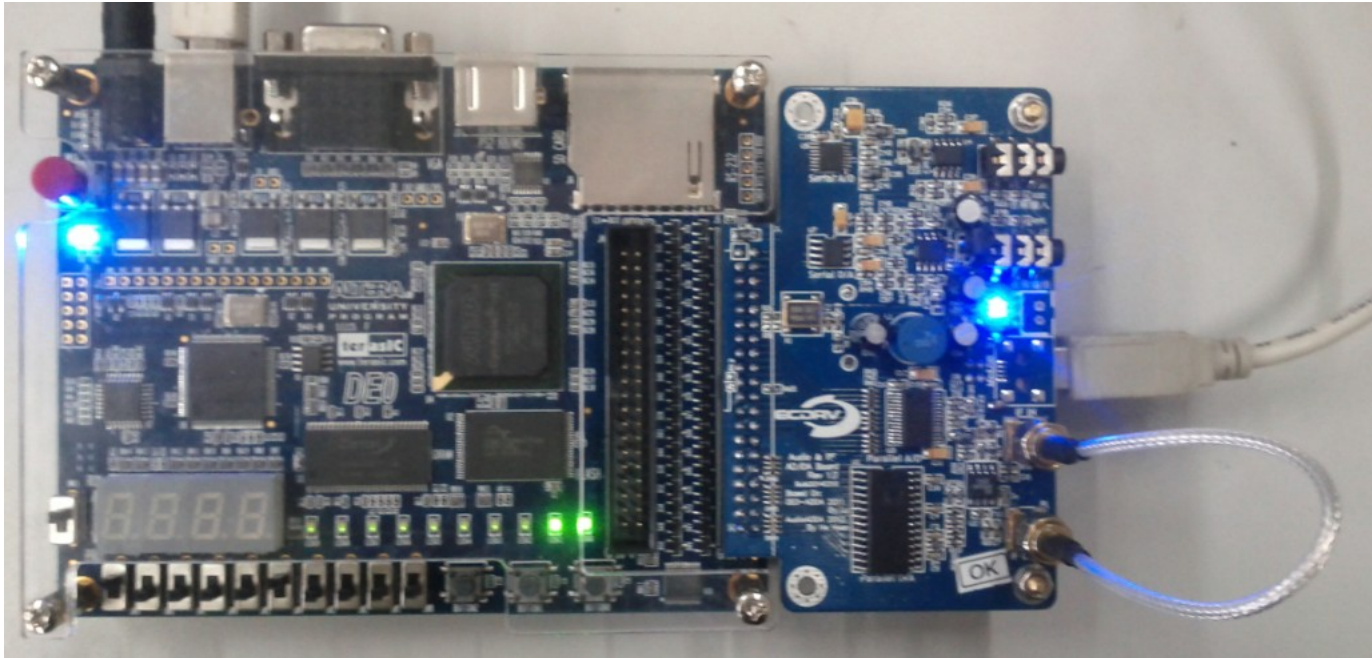
# 打开LAB DDS DAC ADC



- 观察一下顶层结构

- 该设计由一个PLL从50MHz晶振生成80MHz的DAC时钟、20MHzADC时钟
- 一个单周期的DDS生成补码正弦波，转成无符号后送至DAC
- 拨码开关SW9 SW8 用于控制DAC的输出幅度
- 其余的SW开关用于控制DDS频率字

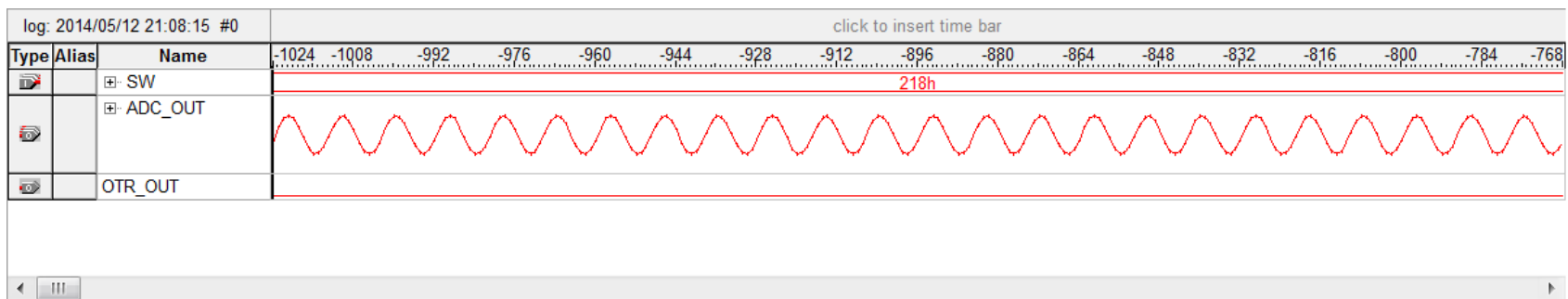
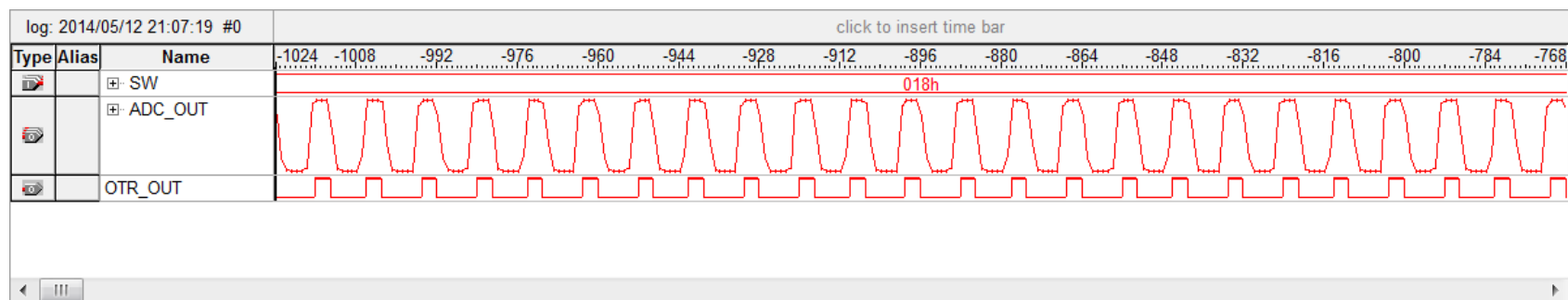
# 用SMA同轴电缆连接ADC和DAC



- 拧线的时候要小心，不要扭坏接头

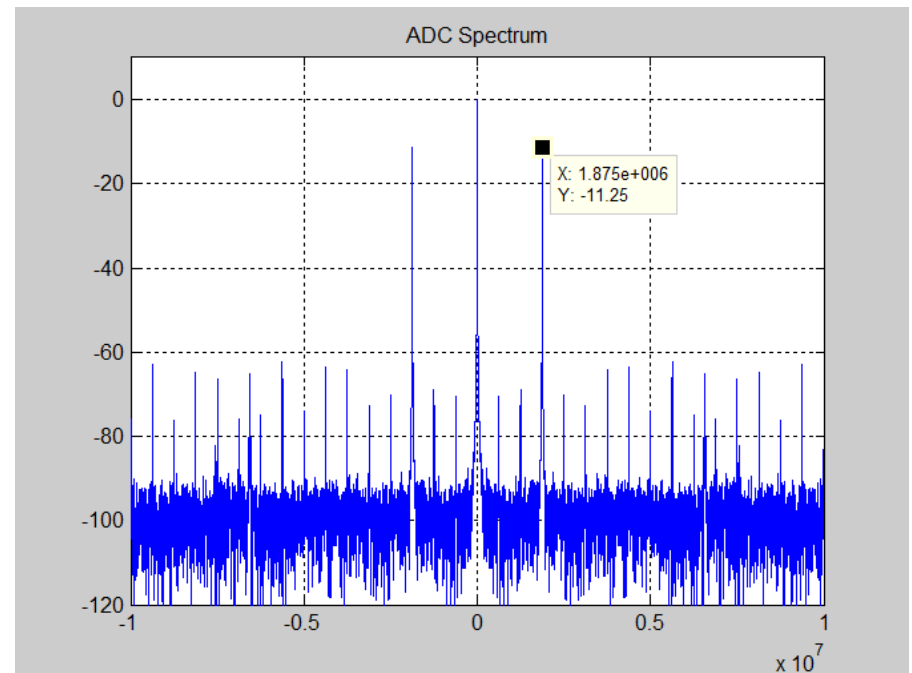
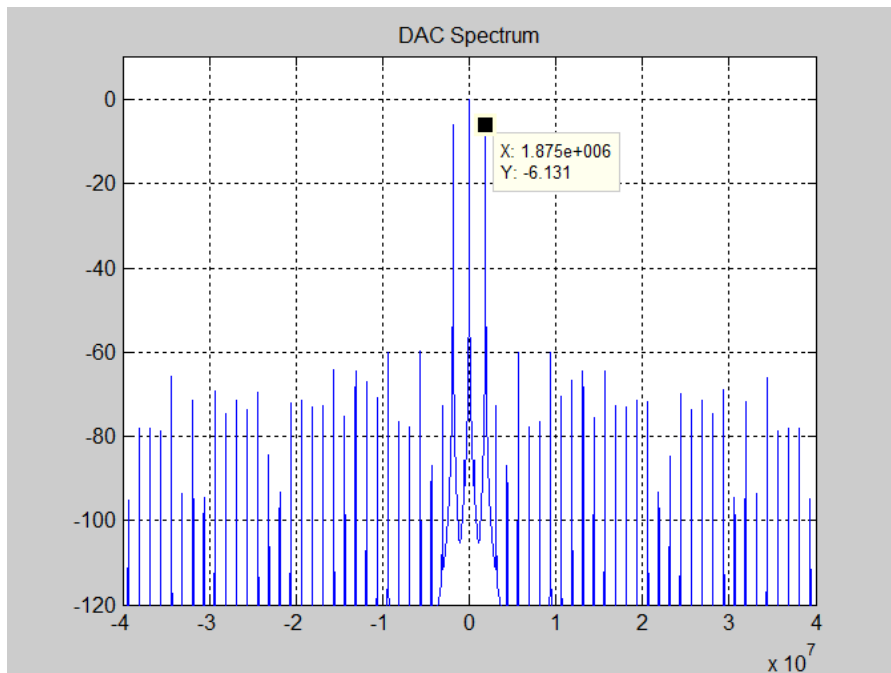
# 下载实验的工程sof文件

- 拨动控制DAC幅度和DDS频率的开关
- 在signaltap中观察ADC的输出信号
- 注意观察ADC的溢出信号OTR和ADC数据波形的对应关系



# 观察ADC的数据频谱

- 在ADC不溢出的前提下
- 用signalTAP抓数据波形，注意抓取ADC、DAC应当选用不同的时钟
- 用Matlab分析DAC、ADC的数据频谱
- 思考，DAC直接连接到ADC，这符合奈奎斯特的理论么？
- 你如何解释观察到的ADC的频谱呢？请自行下载阅读ADC和DAC的芯片手册然后解释这种现象。



# 学生实验

---

- 修改代码完成以下任务
- 把DDS的rom改成16比特，高12位送给DAC
- 不要忘记缩放DAC的输出缩放
- 生成不同频率的正弦波
  - 仍然保持80MHz的DAC时钟速率
  - 用3比特的拨码开关设定输出正弦波频率
  - 000~ 0.5MHz、001 ~ 1MHz 、010 ~ 1.5MHz、011 ~ 2MHz
  - 100~ 2.5MHz、101 ~ 3.5MHz、110 ~ 4.5MHz、111 ~ 5.5MHz
- 使用20MHz的ADC采样频率
- 把数据导入到Matlab
  - 观察频谱纯度
  - 确认你生成的信号频率正确

# 思考题

---

- 在本例中，ADC的20MHz时钟和DAC的80MHz时钟，是从一个晶振用PLL分出来的。
- 这种时钟叫做同步时钟
- 现在的问题是，出于提高计算密度和需求，我们想用那个80MHz的时钟处理ADC送入的20MHz的数据流。
- 应该怎么做？