

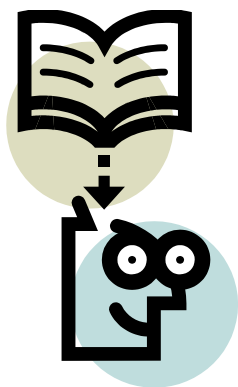
FPGA SDR 实验

多周期 DDS

中国传媒大学 数字化工程中心 杜伟韬
duweitao@cuc.edu.cn

本实验目标

- 理解多周期电路基于使能驱动的数据流接口规则
- 理解多周期电路内部的工作原理

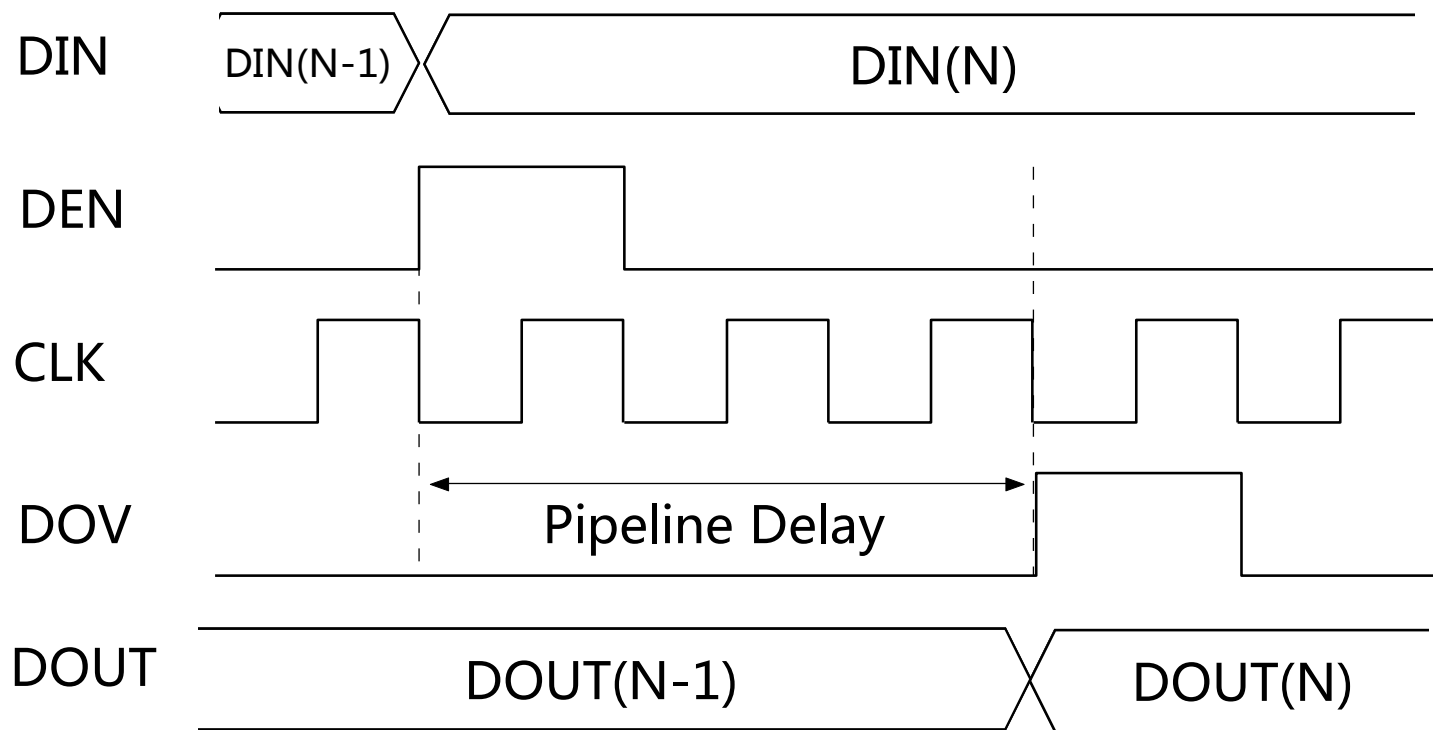


背景知识

什么是多周期 (Multi-Cycle) 电路

- 从电路时钟的角度观察
 - 不是每个CLK周期都有有效数据输入
 - 不是每个CLK周期都有有效数据输出
 - 不是每个CLK周期电路都在工作
- 什么是单周期电路
 - 把上面文字中的 “不是” 去掉

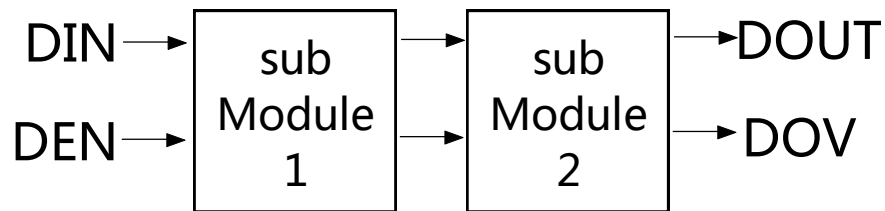
多周期电路接口形式



- 使用同步信号来标识数据的改变
 - 各种同步信号均为单周期，高电平有效
 - 数据输入使能（Data Input Enable）
 - 数据输出有效（Data Output Valid）

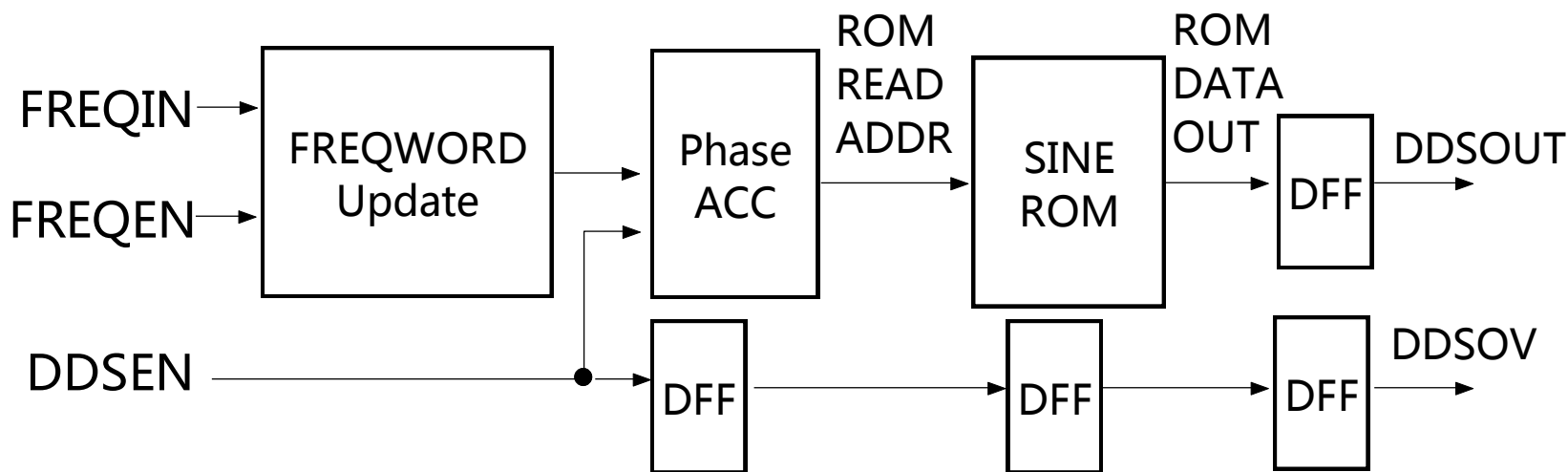
多周期电路内部结构

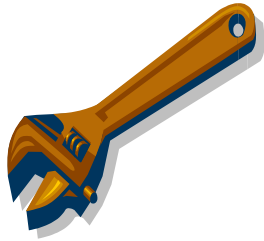
- 向电路内部传递同步信号
- 内部电路同样也由使能驱动工作
- 最终编译出来的电路会利用D触发器的使能信号控制触发器加载输入数据



多周期DDS电路结构

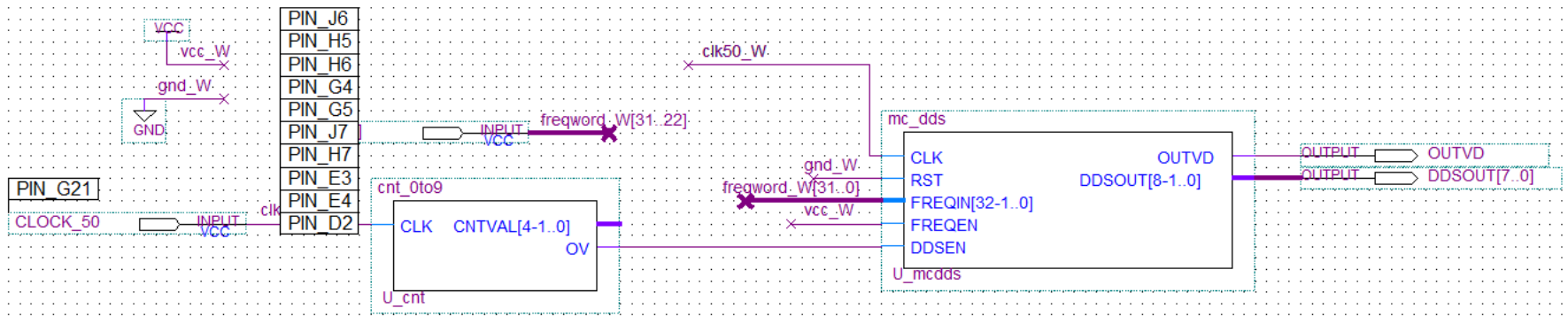
- FREQIN用于更新频率字
- DDSEN用于控制DDS电路工作
- DDSEN有效一个周期，DDS完成一次有效动作
- 可以输入不同频率的DDS有效信号





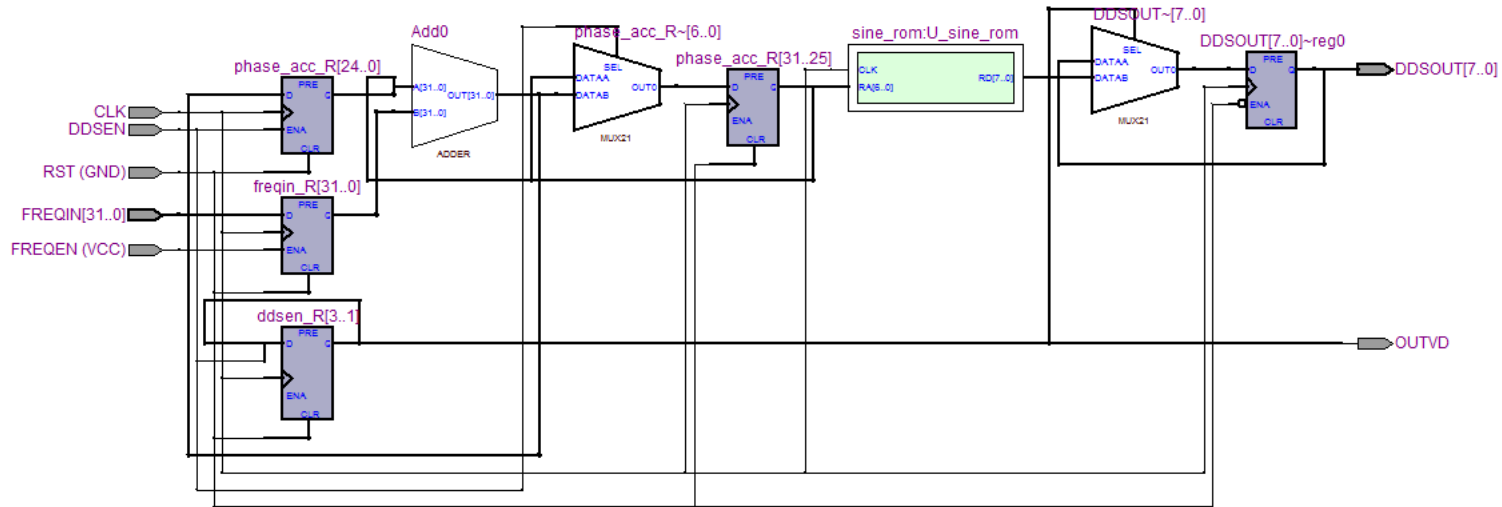
上机操作

打开LAB Multi-cycle DDS



- 观察一下顶层结构
 - 该DDS由一个计数器生成DDS的工作使能脉冲
 - 频率字由外部拨码开关设定

观察多周期DDS电路内部的RTL



- 仔细研究一下，外部送入的使能信号
- 在DDS内部电路合成器是如何利用这些信号的

使用Signal Tap观察内部信号

trigger: 2014/03/27 09:45:24 #0

Type	Alias	Name	Data En...	Trigger Ena...	Trigger Condi...
		DDSOUT	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXb
		SW	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXXXb
		OUTVD	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	

Configuration options:

Clock: CLOCK_50

Data

Sample depth: 1 K RAM type: Auto

Segmented: 1 K 1 sample segments

Trigger

Trigger flow control: Sequential

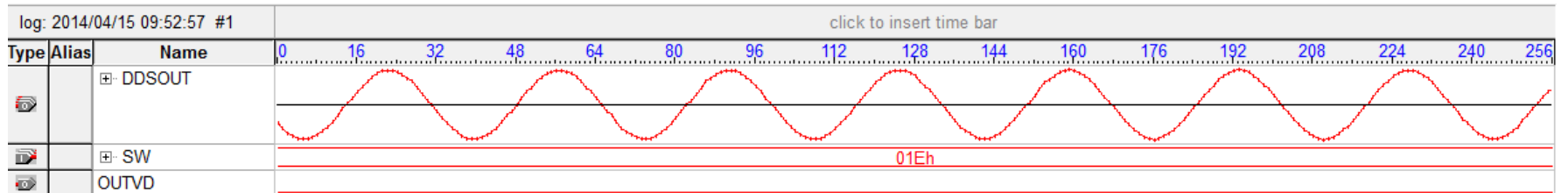
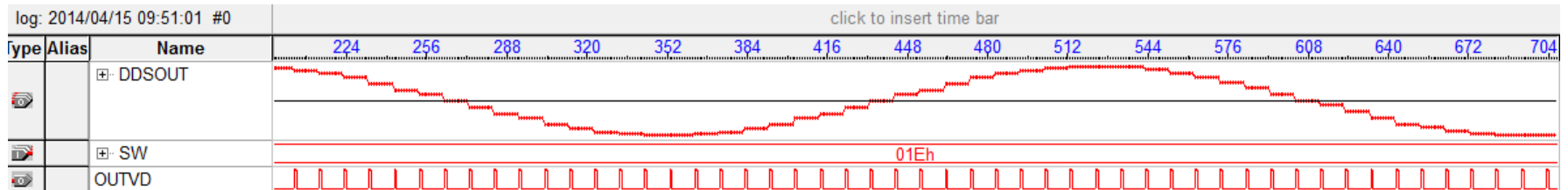
Trigger position: Pre trigger position

Trigger conditions: 1

- 注意

- 缓冲区模式设定为分段，每段1点
- 不要加触发，此时运行效果和不分段是一样的（思考为什么？）

运行Signal Tap



- 注意
 - 缓冲区模式设定为分段，每段1点
 - 上图为不加触发信号的采集效果
 - 下图为用输出有效信号作为触发的采集效果
 - 思考：为什么不加触发的采集效果和不分段的模式是一样的

学生实验

- 修改代码完成以下任务
- 生成特定采样率的正弦波
 - 系统时钟设定为50MHz
 - 使用50KHz的采样率
- 生成不同频率的正弦波
 - 用2比特的拨码开关设定
 - 00 ~ 1kHz、01 ~ 2kHz、10 ~ 4kHz、11 ~ 8kHz
- 把数据导入到Matlab
 - 观察频谱
 - 确认你生成的信号频率正确
- 选作任务，把DDS的rom改成16比特字长
 - 再次观察你生成信号的频谱纯度