

保密类别\_\_\_\_\_

编号 200610413079\_\_\_\_\_

# 毕 业 论 文

## 数字滤波器电路编译器的设计与实现

学 院 \_\_\_\_\_ 信息工程学院 \_\_\_\_\_  
专 业 \_\_\_\_\_ 广播电视工程 \_\_\_\_\_  
班 级 \_\_\_\_\_ 2006 级 数字电视 \_\_\_\_\_  
姓 名 \_\_\_\_\_ 郭璇 \_\_\_\_\_  
指导教师 \_\_\_\_\_ 杜伟韬 \_\_\_\_\_

中国传媒大学

2010 年 4 月 30 日

# 数字滤波器电路编译器的设计与实现

郭璇

## 摘 要

数字滤波器是数字信号处理中最重要的组成部分之一。在许多科学技术领域中，广泛使用数字滤波器对信号进行处理。本文以软件无线电中数字上下变频系统中常用的 CIC 滤波器（级联积分型梳状滤波器）为目标，通过计算机仿真展示了 CIC 滤波器结构特点和性能，并在频域上分析了其数学本质。本文还对经典的 CIC 滤波器的缺陷提出了几种补偿滤波器的设计思路，并进行了相应的验证。给出了 CIC 滤波器的 FPGA 的实现方法，提出了一种新的 RTL 仿真思路，最终实现了一种基于 Matlab 的可自动生成 CIC 滤波器 Verilog 代码的电路编译器。

关键词：数字滤波器 CIC 滤波器 FPGA RTL 编译器

# **Digital Filter Circuit Compiler Analysis and Design**

GuoXuan

## **ABSTRACT**

As one of the most important part of digital signal processing , The digital filter is widely used in many technical field . The CIC filter which is common in the up and down sample rate changer of the Software Defined Radio system is introduced , and its structure and property in the frequency domain and time domain are analyzed. To overcome the CIC filter's basic shortcomings, several ways with simulation and verifications are discussed for improvements . With the implementation on FPGA , a new way of RTL module simulation is to be discussed. At last , a compiler based on the tool MATLAB that can generate both CIC filter's RTL verilog code and relevant testbench is accomplished.

Keywords: Digital filter CIC Filters FPGA RTL Compiler

# 目录

摘要.....	II
ABSTRACT.....	III
绪论.....	1
(一) 目标滤波器概述	
(二) 设 FPGA 在数字上下变频领域的应用	
(三) 设计流程概述	
(四) 课题背景及内容安排	
一、    CIC 滤波器的数学分析.....	4
(一)    基本原理	
1.    CIC 滤波器的基本单元	
2.    CIC 滤波器基本单元的频幅特性	
(二)    CIC 滤波器的经典结构及其性能分析	
1.CIC 滤波器的经典结构	
2.CIC 滤波器的性能分析	
3. 各参数对 CIC 滤波器性能的影响	
二、    CIC 滤波器的 MATALB 仿真.....	11
(一)    浮点模型的建立	
1. 基本单元的模型建立	
2. 激励信号	
(二)    定点模型的建立和测试	
1. 位宽策略	
2.定点模型	
(三)    仿真结果	
三、    CIC 滤波器的 FPGA 实现.....	17
(一)    接口及时序设计	
1. 接口定义	
2.I/O 时序	
(二)    子模块划分及实现	
(三)    测试方式及结果	
1. testbench 的设计	
2. 测试结果	
四、    补偿滤波器的分析和设计.....	22
(一)    Sharpened CIC 滤波器	
(二)    补偿滤波器	
1.FIR 补偿滤波器	

2.ISOP 补偿滤波器	
(三) 补偿滤波器的选择	
五、 CIC 滤波器电路编译器的设计 .....	30
(一) 编译器输入参数的确定	
(二) RTL Verilog 代码生成	
1. 各参数对子模块的影响	
2. Verilog 代码生成流程	
结论.....	34
参考文献.....	35
后记.....	36

## 插图目录

图 0-1 数字滤波器编译器设计流程图.....	3
图 1-1 积分器的频率响应曲线.....	4
图 1-2 梳状滤波器的频率响应曲线.....	4
图 1-3 积分梳状滤波器的实现框图.....	5
图 1-4 积分梳状滤波器的频幅特性曲线 $RM=8$ .....	5
图 1-5 CIC 抽取滤波器结构示意图.....	7
图 1-6 CIC 插值滤波器结构示意图.....	7
图 1-7 $N=4$ $M=1$ $R=8$ 时 CIC 滤波器的频幅特性曲线.....	8
图 1-8 差分延时 $M$ 对频率响应的影响 $R=8$ , $N=4$ .....	10
图 1-9 插值/抽取系数 $R$ 对频率响应的影响 $N=4$ , $M=1$ .....	10
图 1-10 级数 $N$ 对频率响应的影响 $R=8$ , $M=1$ .....	10
图 2-1 正弦响应的测试 $N=4$ $R=16$ $M=1$ .....	16
图 2-2 频率响应曲线 $N=4$ $R=16$ $M=1$ .....	16
图 2-3 窄带高斯白噪频率响应.....	17
图 3-1 CIC 插值滤波器的电路符号.....	17
图 3-3 子模块划分框图及接口声明.....	19
图 3-4 梳状滤波器 RTL 框图 $M=1$ .....	19
图 3-5 梳状滤波器 RTL 框图 $M=2$ .....	19
图 3-6 积分器 RTL 框图.....	20
图 3-7 采样率变换器 RTL 框图.....	20
图 3-8 传统 testbench 的结构图.....	21
图 3-9 改进后的 testbench 结构图.....	21
图 3-10 一个周期八点采样的正弦信号的 16 倍插值 RTL 仿真结果.....	22
图 4-1 CIC 及 SCIC 频率响应曲线.....	23
图 4-2 CIC 及其补偿滤波器频率响应.....	25
图 4-3 $F_c=1/2$ ( $F_s/R$ ) 时的频率响应曲线.....	25
图 4-4 $F_c=1/4$ ( $F_s/R$ ) 时的补偿滤波器频率响应曲线.....	26
图 4-5 ISOP 补偿滤波器频率响应曲线 $R=16$ $N=4$ $M=1$ $c=7$ .....	29
图 4-6 ISOP 的 FPGA 实现框图.....	29
图 5-1 Verilog 代码生成流程.....	31
图 5-2 编译器生成的 Verilog 文件及打包文件.....	32
图 5-3 CIC 插值滤波器参数输入 GUI.....	32

## 表格目录

表 一.1 大插值比下的通带衰减.....	9
表 二.1 不同参数全精度下的输出位宽.....	12
表 三.1 CIC 插值滤波器的管脚说明.....	18
表 三.2 资源占用结果.....	21
表 三.3 Quartus 8.1 CIC MegaCore 对比测试 .....	22
表 四.1 $N=4$ $M=1$ $R=8$ 时补偿滤波器性能参数.....	26
表 四.2 ISOP 的参数值.....	28
表 五.1 CIC 滤波器输入参数的确定.....	30

## 绪论

在信号处理领域，数字滤波器(digital filter)得到了广泛的应用。在传统的设计方法中，当一个数字滤波器的性能参数确定下来后，再根据这些性能参数来设计数字滤波器的 RTL，而对于相同类型的很多数字滤波器的设计而言，这个设计过程往往是重复而且繁琐的，而数字滤波器编译器可以根据输入的性能参数直接生成数字滤波器的 RTL 代码，同时生成的还有 test bench 源代码和输入、输出数据用于仿真验证，从而大大节省了开发和验证时间，使整个设计过程工作效率大大提高。

### (一) 目标滤波器概述

软件无线电就是一种基于通用硬件平台，并通过软件可提供多种服务的、适应多种标准的、多频带多模式的、可重构可编程的无线电系统。软件无线电的关键思想是，将 A/D (D/A) 尽可能靠近天线和用软件来完成尽可能多的无线电功能。这样使得现代通信系统可以比较方便的解决不同标准系统间的兼容性，也减少了系统升级时所需要的成本。

级联积分梳状(CIC)滤波器是一种被广泛应用于软件无线电中实现抽取或者插值的高效滤波器。它主要用于降低或提高采样率,同时也具有低通滤波的作用。CIC 滤波器的主要特点是,仅利用加法器、减法器和寄存器(无需乘法运算),占用资源少,实现简单且速度高。本文将重点阐述 CIC 滤波器的结构及其性能分析,并真对其存在的缺点进行补偿滤波器的设计。

### (二) 设 FPGA 在数字上下变频领域的应用

现场可编程门阵列(FPGA)是在专业 ASIC 的价格和低可编程性与 DSP 的完全可编程性和每项功能的高功耗之间的折衷方案。FPGA 是高速可配置的逻辑电路其物理和逻辑的布局布线是专门为状态机和顺序逻辑快速实现而设计的,近年来 FPGA 器件在工艺方面的进步和设计思想上的创新为之带来了前所未有的逻辑规模和强大的处理性能,时钟速度等性能已经有了很大的提高,单片的集成度已经发展到了几百万门以上,可用于复杂的数字信号处理,比如卷积、相关和滤波。FPGA 的可编程性、灵活性和高集成性,在无线研究领域已经得到了成功的应用。在经过 FPGA 充分验证的基础上,还可以将 FPGA 设计转为 ASIC,降低芯

片成本，使其市场化。Altera 公司最新推出的 HardCopy 技术，可以在 10~12 周内将一个成熟的 FPGA 设计转成量产的 ASIC，并且保证 ASIC 的功能和时序与 FPGA 芯完全一致，pin-to-pin 的管脚兼容，大大减少了设计者验证和仿真的工作量，免除使用者重新 Layout PCB 的麻烦，其 100% 的流片成功率大大减少了从设计到产品的周期。可见，利用 FPGA 来实现高速专用数字上下变频器具有一定的实际意义。

### （三）设计流程概述

推荐的数字滤波器设计流程是一个从抽象到具体的逐步收敛的设计过程。首先进行设计并验证的是算法的浮点模型，该模型的作用在于能够体现出算法的理想性能，从而能够验证算法中数学模型的可行性。随后设计的是算法的定点运算模型，定点模型的设计包括两个方面：数据存储字长的设计和定点数据运算规则的设计。定点模型的作用在于为 RTL 层面的电路设计提供一个比特精确的运算模型，从而为 RTL 电路功能仿真时的各个节点提供正确的参照数据。鉴于 MATLAB 工具丰富的数据生成和处理的功能以及强大的行业工具包支持，以上两个环节均可在 MATLAB 下实现，其中模型的测试平台负责给模型提供激励数据，对模型的输出数据进行分析、评价，对于定点模型，其测试平台还需要能够将模型的定点格式激励数据导出，作为 RTL 模型的激励。

算法的浮点模型和测试平台用于评价算法的理论性能是否达到设计要求。建立该模型时可以使用 MATLAB 的行业工具包中提供的函数，从而可以快速构建出算法理论模型的原型系统。在整个设计流程中，浮点模型将作为理想系统模型用于和定点模型结果进行结果对比和误差分析。

算法的定点模型及测试平台用于制定算法实现的定点策略，其包括字长策略和数据运算规则两部分。

算法的 RTL 模型是电路综合器的输入，在寄存器以及寄存器之间的组合逻辑的层次对算法进行描述。在把算法从定点数学模型向 RTL 模型映射的过程中，需要考虑具体的信号接口定义、时序、流水线和时钟域等问题。

编译器的设计是将 RTL 模型的一些模块和参数可配置化，通过设计需求的参数来生成相应的 RTL 代码和测试模块。

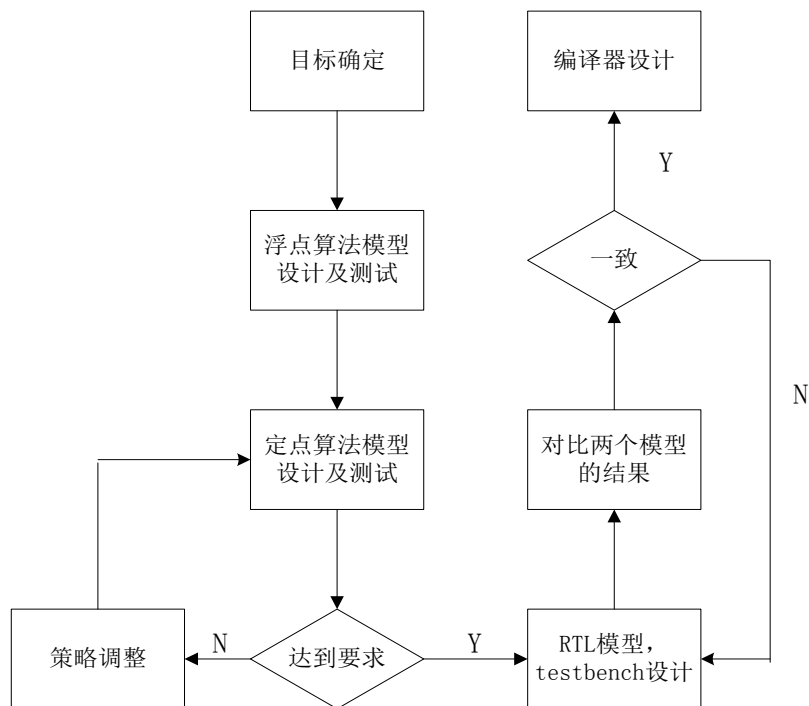


图 0 - 1 数字滤波器编译器设计流程图

#### (四) 课题背景及内容安排

本文工作的目的主要是为了为设计软件无线电系统中数字上下变频器所做的准备工作之一。

本文内容主要分为以下几个部分：

绪论 简单介绍了目标滤波器的基本情况以及数字上下变频技术，并阐明了基本设计流程。

第一章 分析了 CIC 滤波器的数学本质，并从频域和时域分析了其性能。

第二章 依据第一章的基本原理和相关算法，实现了在 MATLAB 上的 CIC 滤波器仿真测试，并给出了其定点算法的位宽策略。

第三章 给出了 CIC 滤波器相关模块的 FPGA 仿真及硬件测试，分析了结果，验证了设计。

第四章 针对 CIC 滤波器的缺点提出了几种补偿滤波器，介绍了其设计方法，并分析了各补偿滤波器的优劣。

第五章 给出了 CIC 滤波器 RTL 编译器的设计方法。

第六章 对本文的工作进行了总结。

# 一、CIC 滤波器的数学分析

## (一) 基本原理

### 1. CIC 滤波器的基本单元

CIC 滤波器主要由两个基本单元积分滤波部分 integrator 和梳状滤波 Combo 两部分构成。积分器模块的差分方程为

$$y[n] = y[n-1] + x[n] \quad (1-1)$$

对应的 Z 变换

$$H_1(z) = \frac{1}{1-z^{-1}} \quad (1-2)$$

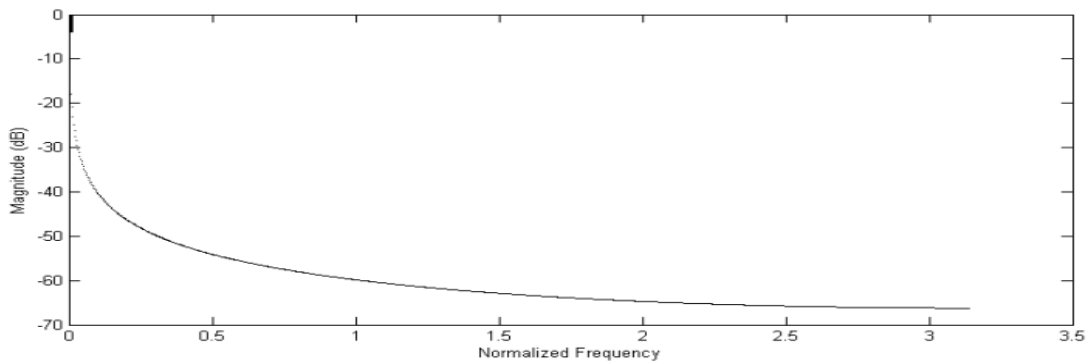


图 一 - 1 积分器的频率响应曲线

梳状滤波器的差分方程

$$y[n] = x[n] - x[n-R] \quad (1-3)$$

对应的 Z 变换为

$$H_2[z] = 1 - z^{-RM} \quad (1-4)$$

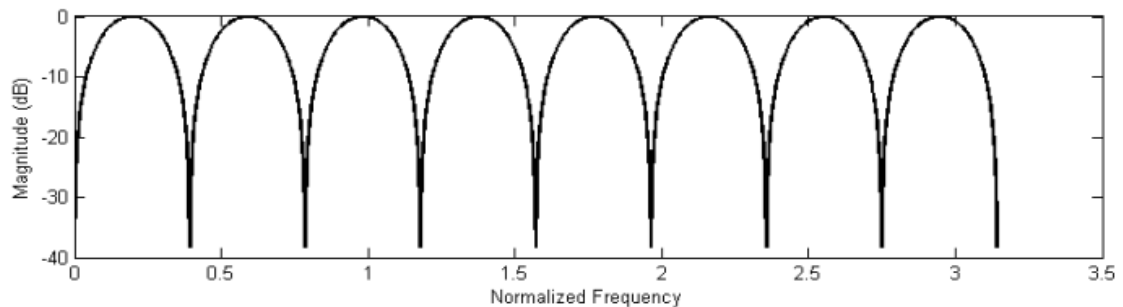


图 一 - 2 梳状滤波器的频率响应曲线

因为其频率响应曲线像一把梳子，故将其形象地称为梳状滤波器。

单级积分梳状滤波器的实现框图如下图所示，它是由积分器和梳状滤波器级联得到的

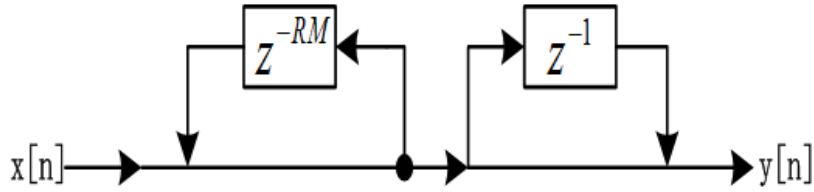


图 一 - 3 积分梳状滤波器的实现框图

因而可得到积分梳状滤波器的 Z 变换为

$$H(Z) = \frac{1 - z^{-RM}}{1 - z^{-1}} \quad (1-5)$$

这里由于积分器的极点和梳状滤波器的零点相互抵消，因而它是一个稳定的系统，固 CIC 滤波器是一个因果稳定系统。

## 2. CIC 滤波器基本单元的频幅特性

把  $z = e^{j\omega}$  代入  $H(Z)$  得到其频率响应为

$$H(e^{j\omega}) = \frac{1 - e^{-j\omega RM}}{1 - e^{-j\omega}} \quad (1-6)$$

频幅特性

$$|H(j\omega)| = RM \cdot \text{Sa} \left( \frac{\omega RM}{2} \right) \cdot \text{Sa}^{-1} \left( \frac{\omega}{2} \right) \quad (1-7)$$

式中  $\text{Sa}(x) = \sin(x)/x$  为抽样函数。

因而得到其频幅特性曲线如图所示

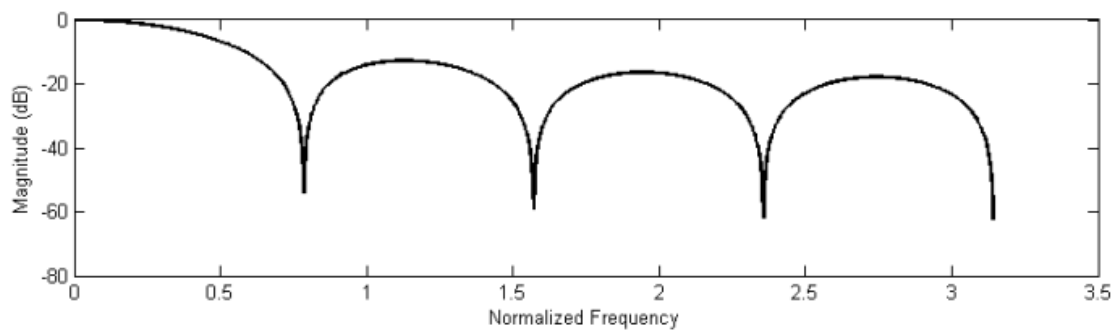


图 一 - 4 积分梳状滤波器的频幅特性曲线 RM=8

在  $(0 \sim \pi)$  区间上称  $(0 \sim 2\pi/RM)$  的区间为滤波器的主瓣，而其它区间称为旁瓣。

由图 1-4 可知，在  $(0 \sim \pi)$  区间上随着频率的增大，旁瓣电平不断减小，其中第一旁瓣电平为：

$$\left| H(e^{j\omega}) \right|_{\omega=1 \cdot \frac{2\pi}{RM}} = \left| \frac{\sin(\pi(3/2) \cdot \frac{1}{RM})}{\sin(\pi(3/2))} \right| = \frac{1}{2RM} \quad (1-8)$$

比如  $RM=7$ ，则第一旁瓣与主瓣的电平差值为：16.9dB。不过，当  $RM \gg 1$  的时候，有  $|\sin(3\pi/2RM)| \approx 3\pi/2RM$ ，所以第一旁瓣电平  $A_1$  为：

$$A_1 = 20 \lg \frac{1}{2RM} \quad (1-9)$$

因此，旁瓣与主瓣的差值  $\alpha_s$ （用 dB 数表示）为：

$$\alpha_s = 20 \lg \frac{1}{\frac{1}{2RM}} = 20 \lg \frac{2RM}{1} = 20 \lg 2RM \quad \text{dB} \quad (1-10)$$

可见，单级滤波器的旁瓣电平是比较大的，只比主瓣低 13.46dB，这也就意味着阻带衰减差，一般很难直接满足实用要求。为了减低旁瓣电平，自然会想到的方法是采用多级级联的办法。设用 N 级级联，那么总的频率响应为：

$$H_N(e^{j\omega}) = \left[ \frac{\sin(\pi(RM/2) \cdot \frac{\omega}{2})}{\sin(\pi(RM/2))} \right]^N = RM \cdot S^N \alpha \left( \frac{\omega RM}{2} \right) \quad (1-11)$$

同理可求得 N 级级联时滤波器的旁瓣抑制为：

$$\alpha_s^N = 20 \lg \frac{1}{\frac{1}{2RM}} \cdot N = 20 \lg 2RM \cdot N \quad \text{dB} \quad (1-12)$$

比如当  $N=5$  时，主瓣与旁瓣的差值为：67.3dB，这样的阻带衰减基本上能满足实际要求。但在实际的抽样率变换系统中，CIC 滤波器旁瓣区域往往作为不确定  $\phi$  带来处理，也就是说在这些旁瓣区域不会有信号频谱（镜像或混叠频谱），因此在此在 CIC 滤波器设计中所要考虑的重要指标是抗混叠问题。

## （二）CIC 滤波器的经典结构及其性能分析

### 1. CIC 滤波器的经典结构

抽样率变换滤波器包括抽取滤波器和插值滤波器。根据多抽样率数字信号处理理论，插值滤波器和抽取滤波器是对偶关系，也就是说抽取滤波器通过转置可

以得到插值滤波器，反之亦然。因此，这里主要针对插值滤波器展开分析，其结果也同样适用于插值滤波器。

典型的 CIC 滤波器的结构如图（1-5，1-6）所示，它由两个基本单元 I(积分器)和 C（梳状滤波器）级联构成。

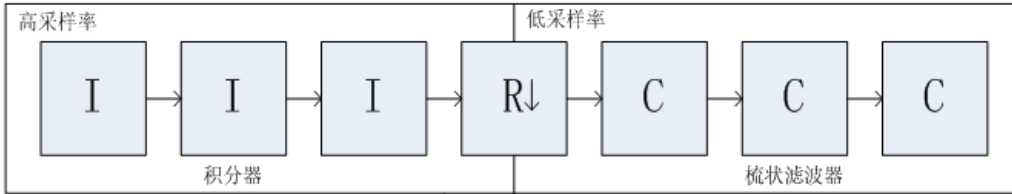


图 一 - 5 CIC 抽取滤波器结构示意图

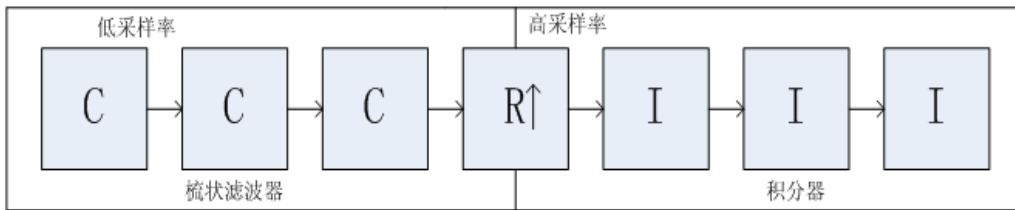


图 一 - 6 CIC 插值滤波器结构示意图

积分器和梳状滤波器之间是一个采样率转换器，对于 CIC 抽取器来说，它实际的抽取工作，每 R 个样值中取样一个，对于 CIC 插值器而言，它完成在每一个样值后补上 R-1 个 0 值的工作。

## 2.CIC 滤波器的性能分析

根据 CIC 滤波器的结构示意图，可以得到其系统函数为

$$H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[ \sum_{k=0}^{RM-1} z^{-k} \right]^N \quad (1-13)$$

从上式可以看到，N 级 CIC 滤波器在功能上相当于 N 级 FIR 滤波器的级联。如果按传统的 FIR 滤波器方式实现，那么 N 级 FIR 滤波器的每一级都需要 RM 个存储单元和一个累加器，但如果用 CIC 方式实现，那么 N 级 CIC 滤波器的每一级只需要 M 个存储单元。

CIC 滤波器幅频特性具有低通特性，下面具体分析 CIC 插值滤波器的幅频特性。设：

$$z = e^{j(2\pi f / R)} \quad (1-14)$$

其中  $f$  是相对于低采样率  $f_s / R$  的归一化频率，代入系统函数后得：

$$|H(f)| = \left[ \frac{\sin \pi M f}{\sin(\pi f / R)} \right]^N \quad (1-15)$$

如果插值比  $R$  足够大，那么有  $\sin(\pi f / R) \approx \pi f / R$ ，从而有：

$$|H(f)| = \left[ \frac{\sin \pi M f}{\pi f / R} \right]^N = \left[ RM \frac{\sin \pi M f}{\pi M f} \right]^N \quad (1-16)$$

$R, M$  以及  $N$  是影响 CIC 滤波器的三个参数，它们的值需根据通带性能的需求而设定，每个参数的影响将在下一节具体讨论。若设  $N=4, M=1$  及  $R=8$ ，那么可以得到如图所示的幅频特性曲线：

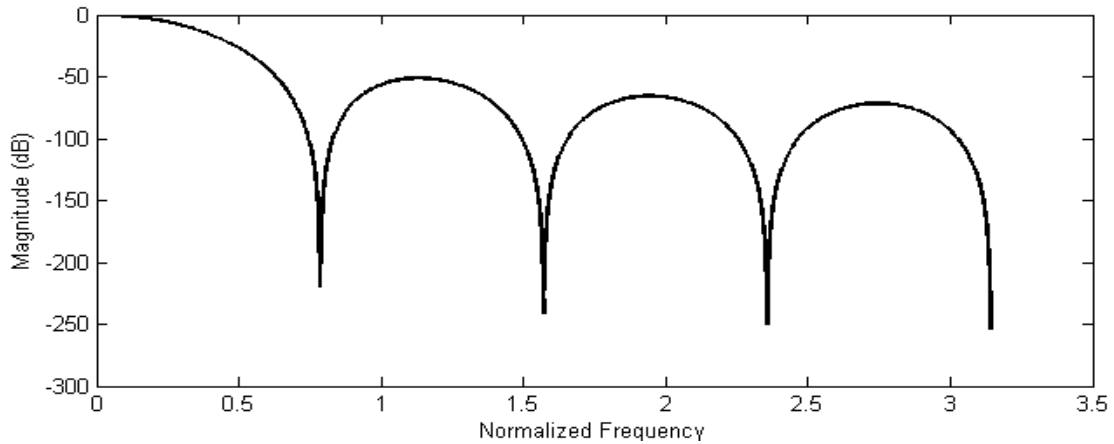


图 1-7  $N=4, M=1, R=8$  时 CIC 滤波器的幅频特性曲线

可以看出级联后的阻带衰减有了很大的改善，与此同时过渡带却变的更长了。

一个值得关注的问题是那些零点附近的区域将会被折叠到通带而引起混叠误差，具体而言这些混叠带为：

$$i - f_c \leq f \leq i + f_c \quad (1-17)$$

在实际设计时，混叠误差是以所有混叠带中的最大混叠误差来衡量的。最大的混叠误差的位置为：

$$f_{AI} = 1 - f \quad (1-18)$$

而在任意频率点  $f$  ( $0 \leq f \leq R/2$ )，相对于最大值的衰减（以 dB 表示）为：

$$\beta = 20 \log \frac{|H(0)|}{|H(f)|} = 10 \left[ \log \frac{\pi M f}{\sin \pi M f} \right]^N \quad (1-19)$$

对于通带截止频率点的衰减，不一定需要知道  $M$  和  $f_c$ ，其实只要知道  $Mf_c$  即可，但对于阻带截止频率点的衰减，如果只知道  $Mf_c$  的条件是不够的，应该同时需要知道  $M$  和  $f_c$  的值。据上述分析，就可以得到如表（1.1）所示的不同通带截止频率点的衰减值。

表 一.1 大插值比下的通带衰减

相对带宽和 差分延迟乘 积 ( $Mf_c$ )	在 $f_c$ 处的通带衰减 (dB)					
	级数 (N)					
	1	2	3	4	5	6
1/128	0.00	0.00	0.00	0.00	0.00	0.01
1/64	0.00	0.01	0.01	0.01	0.02	0.02
1/32	0.01	0.03	0.04	0.06	0.07	0.08
1/16	0.06	0.11	0.17	0.22	0.28	0.34
1/8	0.22	0.45	0.67	0.90	1.12	1.35
1/4	0.91	1.82	2.74	3.65	4.56	5.47

可以看出，很多情况下，CIC 滤波器本身不能提供平坦的通带特性，因而一般还需要级联一个补偿滤波器来补偿其通带特性，这将在后文单独讨论。

### 3. 各参数对 CIC 滤波器性能的影响

如图 1-8 所示，差分延时  $M$  影响着零点分布，同时增加  $M$  也可以影响旁瓣增益和通带性能，可以看到，当  $M=2$  时，过渡带更加陡峭，而通带带宽变化不大。图 1-9 描绘了插值/抽取系数对频率响应曲线的影响，当系数  $R$  增大时，通带衰减增大，同时旁瓣的宽度也响应减小。图 1-10 为级联级数对频率响应的影响， $N$  影响着零点的阶数，当  $N$  增大时，阻带衰减增大，但是同时也增大了通带衰减。

通带衰减是 CIC 滤波器面临的一个比较大的缺陷，在一些情况下调整  $R$ ， $M$ ，和  $N$  无法得到目标需求得到情况下，就需要使用补偿滤波器来补偿 CIC 的通带衰减，同时还需要抑制旁瓣的增益。补偿滤波器的设计在将在后文做详细阐述。

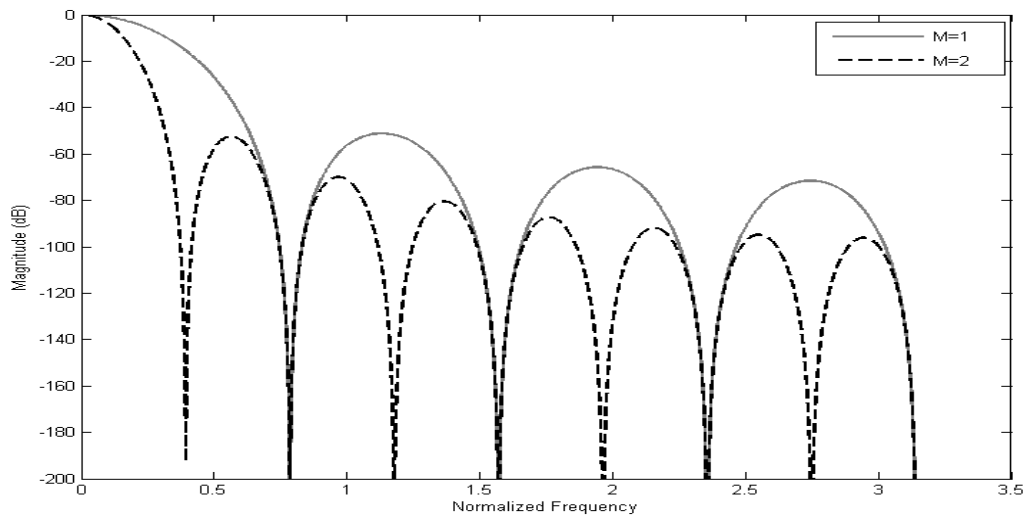


图 一 - 8 差分延时  $M$  对频率响应的影响  $R=8$  ,  $N=4$

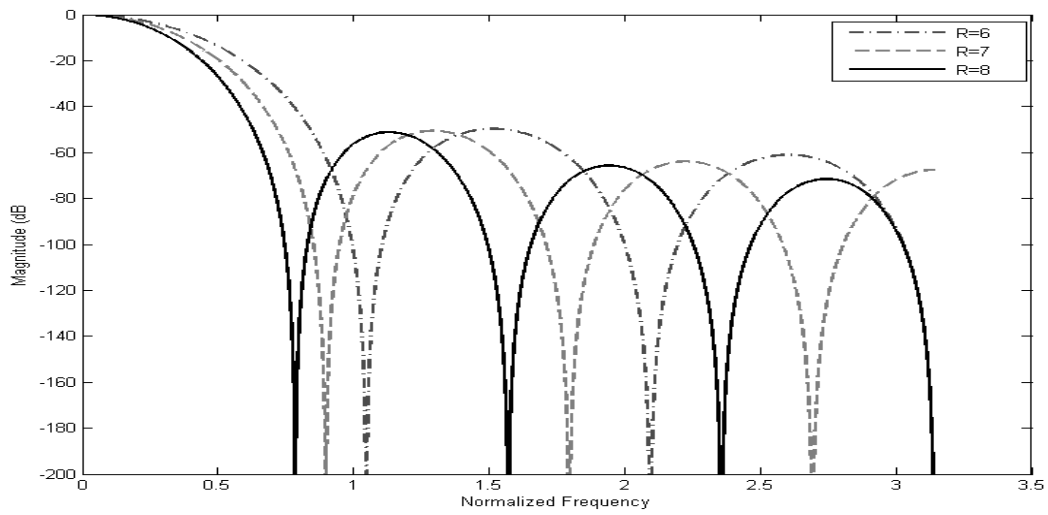


图 一 - 9 插值/抽取系数  $R$  对频率响应的影响  $N=4$  ,  $M=1$

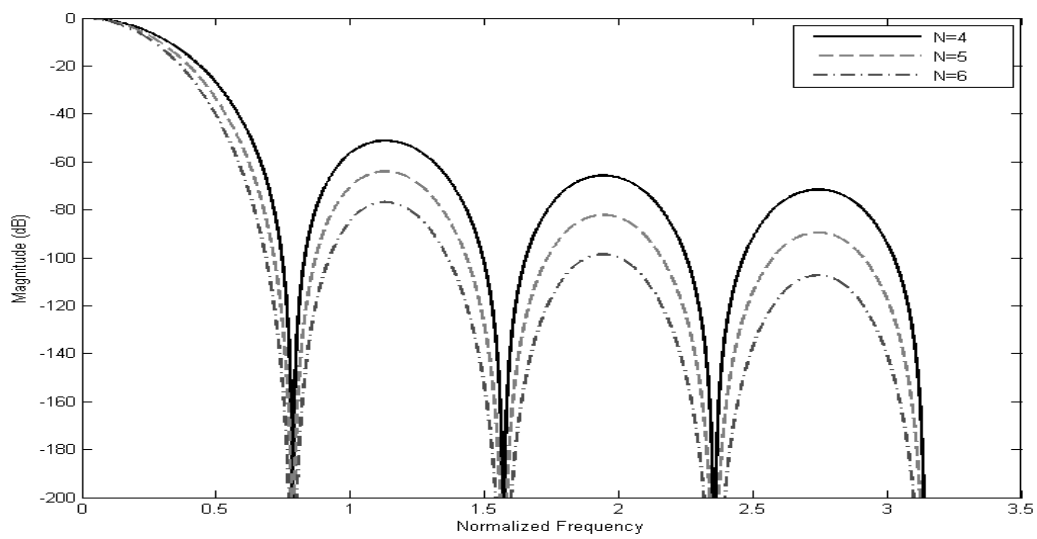


图 一 - 10 级数  $N$  对频率响应的影响  $R=8$  ,  $M=1$

## 二、CIC 滤波器的 MATAB 仿真

### (一) 浮点模型的建立

#### 1. 基本单元的建立

为了提高代码的可重用性，浮点模型可根据 CIC 滤波器的结构来建立，即积分器，梳状滤波器，采样率变换器三个基本单元。

积分器可依靠函数 `cumsum` 来实现，`cumsum(x)` 即对向量  $x$  的积分运算。

梳状滤波器的差分方程  $y[n]=x[n]-x[n-M]$ ，当  $M=1$  时可由函数 `diff(x)` 实现，而当  $M=2$  时，可由先对向量  $x$  移位得到  $x'$  后取两者差得到。

采样率变换器分抽取和插值两种，所以应对两种情况分别建立函数。

#### 2. 激励信号

为评估和验证浮点模型，采样正弦信号，以及窄带白噪声测试模型，同时，还可以使用脉冲信号测试器冲激响应。测试信号的点数，正弦信号的频率和采样率，窄带白噪声的频带均应可配置。

### (二) 定点模型的建立和测试

#### 1. 位宽策略

对于数字滤波器，一个不得不考虑的问题是防止溢出每一级所需的位宽。对于抽取器来说，CIC 滤波器的输出增益为

$$G = (R * M)^N \quad (2-1)$$

所以，在全精度的情况下，最后一级输出的位宽为

$$B_{out} = B_{in} + \text{No}g (R * M) \quad (2-2)$$

其中  $B_m$  表示输入数据的宽度，为了保证精度，每一个积分器和梳状滤波器的输入输出位宽都为  $B_{out}$ 。

对于插值器而言，输出增益为

$$G_i = \begin{cases} 2^i, & i=1,2,\dots,N \\ 2^{2N-1}(R*M)^{i-N}/R, & i=N+1,N+2,\dots,2N \end{cases} \quad (2-3)$$

因此，第  $i$  级为避免溢出所需要的位宽为

$$W_i = B_{in} + \log_2 G_i \quad (2-4)$$

最后一级输出位宽为

$$B_{out} = B_{in} + N \log_2(R*M) - \log_2 R \quad (2-5)$$

在实际当中，当差分延时  $M=1$  时，为保证稳定，所有积分器的位宽在理论值的基础上加一。

$B_{max}$  不仅是滤波器输出的最大可能的位数，也是每一级滤波器的最大可能位数。但有时候，输出位宽需要根据实际需要引入四舍五入或截取的方法来减少位数。简单的做法是直接输出端做四舍五入或者截取，更复杂点的方式是在每一级都做四舍五入或者进行截取。这自然需要研究一下因四舍五入或截取所引起的滤波器输出端误差，具体的方法就是通过单独研究每一级误差源（指每一级滤波器截取或四舍五入引起的误差）的均值和方差，利用统计特性研究滤波器输出端总的均值和方差。

表 二.1 不同参数全精度下的输出位宽

输入位宽	级数 N	插值比 R	差分延时 M	输出位宽
8bit	4	16	1	21bit
8bit	4	16	2	24bit
12bit	3	16	1	21bit
16bit	4	32	1	32bit
16bit	4	64	1	35bit
16bit	4	128	1	38bit

根据实际实现时的滤波器结构(下面介绍)，可以认为误差源有  $2N+1$  个： $2N$  个滤波器级因四舍五入或截取所产生的误差源和一个输出寄存器因四舍五入或截取所产生的误差源。

一般我们认为截取比四舍五入的效果要好，但在 CIC 滤波器中，除了第一级和第  $2N+1$  级误差源以外，其它级误差源的输出误差统计结果不管是四舍五入还是截取都是相同的。如果在实际设计中，第一个积分器采用全精度运算（也就是以  $B_{max}$  位进行运算，不截取也不舍入），那么对于设计者来讲只需要在最后一级（输出寄存器误差源）考虑采用截取还是四舍五入。

一般认为每一级误差源都是与输入信号和其它误差源不相关的白噪声，并且服从均匀概率分布。对于第  $j$  级误差源，我们可以得到误差函数为：

$$E_j = \begin{cases} 0, & \text{截取或舍入} \\ 2^{B_j}, & \text{其它} \end{cases} \quad (2-6)$$

这里  $B_j$  是第  $j$  级被抛掉的位数，因此可以得到第  $j$  级误差源的均值  $u_j$  和方差  $\delta_j^2$  表达式：

$$u_j = \begin{cases} \frac{1}{2} E_j, & \text{截取} \\ 0, & \text{其它} \end{cases} \quad (2-7)$$

$$\delta_j^2 = \frac{1}{12} E_j^2 \quad (2-8)$$

对于第  $k$  个系数，对应的误差均值和方差为： $u_j h_j(k)$  和  $\delta_j^2 h_j^2(k)$ 。

因此，第  $j$  级误差源在输出端所产生的总的均值  $u_{T_j}$  为：

$$u_{T_j} = u_j D_j \quad (2-9)$$

其中，

$$D_j = \begin{cases} \sum_k h_j(k), & j \neq 1, \dots \\ 1, & j = 2N + 1 \end{cases} \quad (2-10)$$

同样，第  $j$  级误差源在输出端所产生的总的方差  $\delta_{T_j}^2$  为：

$$\delta_{T_j}^2 = \delta_j^2 F_j^2 \quad (2-11)$$

其中，

$$F_j^2 = \begin{cases} \sum_k h_j^2(k), & j \neq 1, \dots \\ 1, & j = 2N + 1 \end{cases} \quad (2-12)$$

另外，可以获证：

$$D_j = \begin{cases} (RM)^N, & j \neq 1 \\ 0, & j = 2, \dots \\ 1, & j = 2N + 1 \end{cases} \quad (2-13)$$

从这里可以看出，对于选用截取还是舍入除了对第一级和最后一级有不同的影响

外, 对其它级都不会有影响。这样可以得到因截取或舍入所引起的在输出端所产生的总均值  $u_T$  和方差  $\delta_T^2$  为:

$$u_T = \sum_{j=1}^{2N+1} u_{T_j} = u_{T_1} + u_{T_{2N+1}} \quad (2-14)$$

$$\delta_T^2 = \sum_{j=1}^{2N+1} \delta_{T_j}^2 \quad (2-15)$$

现在, 我们可以根据上述分析结果, 在给定合适的误差限制条件下反过来确定每一级滤波器需要抛弃的位数。由于方差在所有的误差源中都受截取或舍入的影响, 而均值只有对第一和最后一级产生影响, 所以这里选用方差作为唯一的设计参数。

如果现在假定在输出寄存器中所保留的位数为  $B_{out}$ , 那么最后需要被抛弃的最低位数为:

$$B_{2N+1} = B_{max} + B_{out} + 1 \quad (2-16)$$

这里之所以需要加 1, 那是因为被抛弃的数是符号数, 所以除了抛弃的数据位, 还需要指定抛弃数据的符号。

为了得到前  $2N$  级滤波器中的每一级所要抛弃的位数  $B_j$ , 现提出以下的设计准则: 前  $2N$  个误差源在输出端所产生的方差小于或等于最后一级误差源的方差, 同时假定误差等同地分布在这些源中。这样就可以得到如下的不等式:

$$\delta_{T_j}^2 \leq \frac{1}{2N} \delta_{T_{2N+1}}^2, \quad j = 1, 2, \dots \quad (2-17)$$

则可以得到:

$$\delta_{T_j}^2 = \frac{1}{12} 2^{2B_j} F_j^2 \quad (2-18)$$

于是:

$$2^{2B_j} F_j^2 \leq \frac{6}{N} \delta_{T_{2N+1}}^2 \quad (2-19)$$

以 2 为底求对数得到:

$$B_j \leq -\log_2 F_j + \log_2 \delta_{T_{2N+1}} + \frac{1}{2} \log_2 \frac{6}{N} \quad (2-20)$$

也就是:

$$B_j = \left[ -\log_2 F_j + \log_2 \delta_{T_{2N+1}} + \frac{1}{2} \log_2 \frac{6}{N} \right] \quad j = 1, 2, \dots \quad (2-21)$$

可以看到，可以做到尽量减小误差而又能节省寄存器的使用，但是在实际中，CIC 滤波器所占用的寄存器的量相对其他的很多滤波器而言，是非常小的，才用全精度在很多情况下或许更加实用，因而在实际中，还应针对使用的需要而考虑是否有必要对每一级都采用四舍五入或者截取。

## 2. 定点模型

对于 CIC 滤波器的三个基本单元，都不涉及乘法器，而采样率变换器不使用任何运算单元，因此在模型的定点化中只需考虑激励信号的定点化和梳状滤波器以及积分器的定点化。

对于激励信号，假设定点模型的输入位宽为  $B_m$ ，那么定点化后的  $[-1,1]$  的正弦信号  $xn$  为

$$xn_{fixed} = round\left(\left(2^{B_m-1}\right)^{-1} \cdot xn\right) \quad (2-22)$$

其中  $round$  为取整函数。

对于梳状滤波器和积分器，在其加减法运算可以单元设计一个定点加减法函数，考虑运算当中的溢出以模拟二进制补码的实际效果。

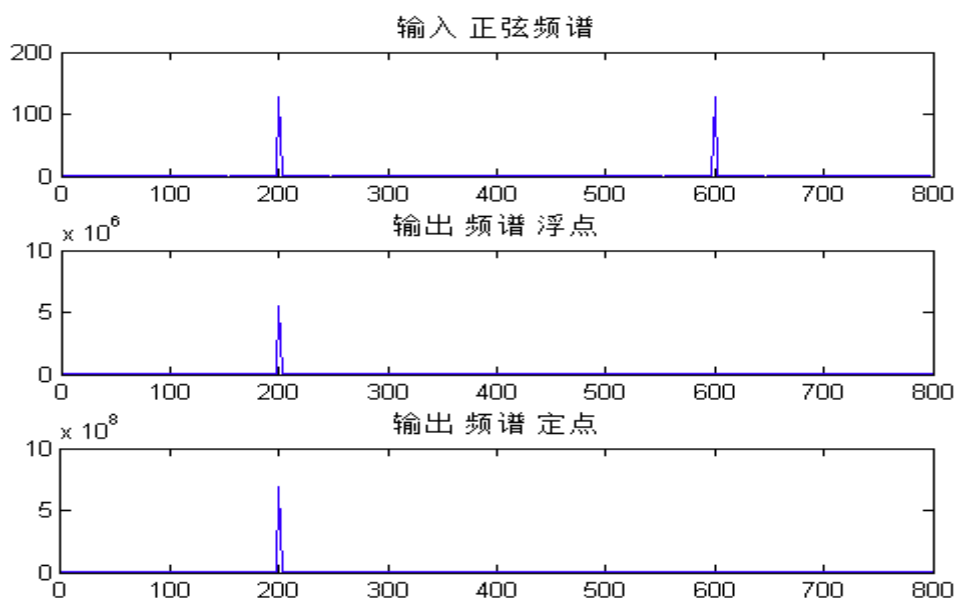
以下为定点加法器的函数实例：

```
function addout = add_fixed( Bw, dataA, dataB );
    dataC = dataA + dataB;           %先直接做加减
    limM = 2^( Bw -1 );             %最大允许的值
    limL = -limM;                   %最小允许的值
    num = 2^( Bw );
    if ( dataC >=limM )              %判断是否在允许的范围以内
        addout = dataC - num ;
    elseif ( dataC < limL )
        addout = dataC + num;
    else
        addout = dataC;
    end
end
```

### (三) 仿真结果

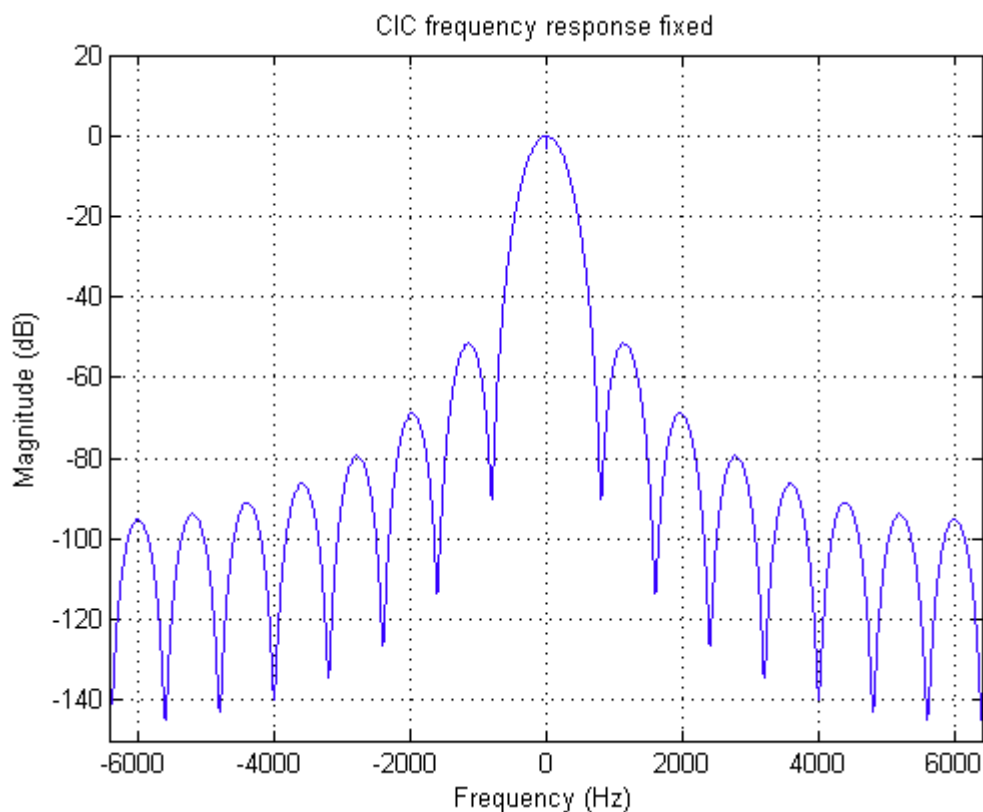
图 2-1 是 CIC 插值滤波器正弦响应的测试结果，测试的正弦频率为 200Hz，

采样率  $f_s = 800\text{Hz}$ ，可以看出插值以后的结果和插值前的结果相符，能量仍然集中在  $200\text{Hz}$  及其周期延拓处。

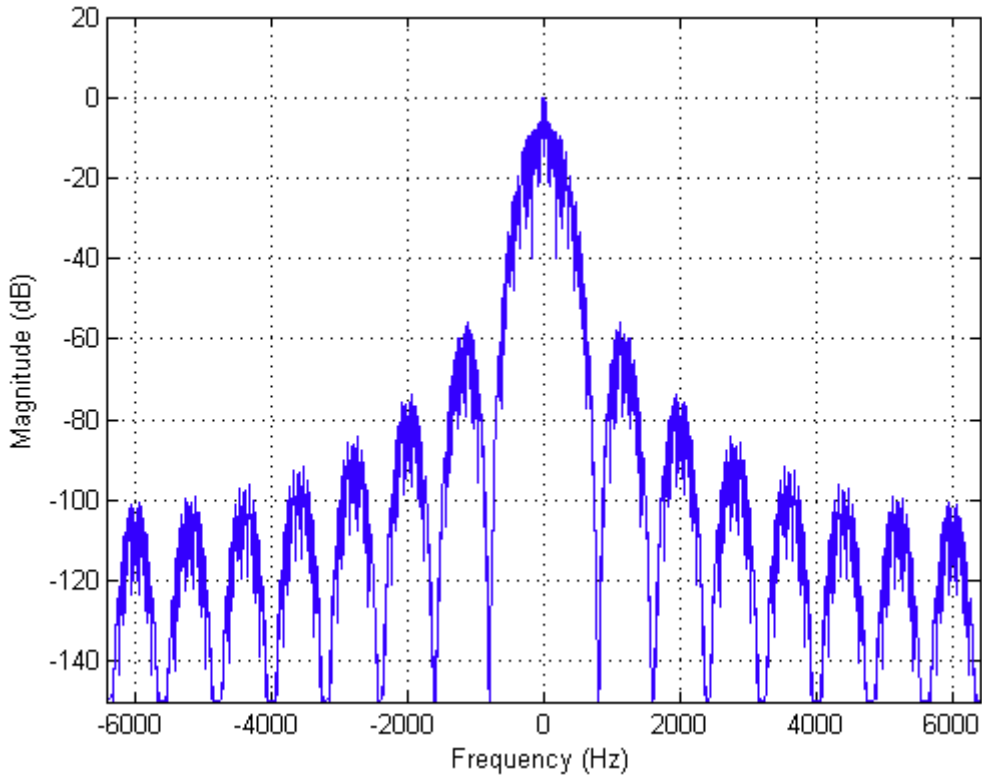


图二 - 1 正弦响应的测试  $N=4$   $R=16$   $M=1$

图 2-2 是 CIC 插值滤波器的频率响应曲线，图 2-3 为窄带高斯白噪声测试。



图二 - 2 频率响应曲线  $N=4$   $R=16$   $M=1$



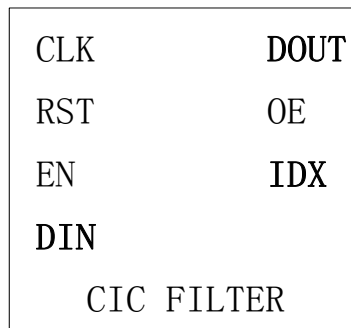
图二-3 窄带高斯白噪频率响应

### 三、CIC 滤波器的 FPGA 实现

#### (一) 接口及时序设计

##### 1. 接口定义

如图 3-1，左边为输入信号，右边为输出信号，黑体表示多比特位宽。



图三-1 CIC 插值滤波器的电路符号

表 3.1

表 三.1 CIC 插值滤波器的管脚说明

信号名称	方向	位宽	定义	备注
CLK	输入	1	时钟	上升沿
RST	输入	1	复位	高电平异步
EN	输入	1	输入数据使能	高有效 CLK 同步, 单周期有效
DIN	输入	参数化	输入信号数据	CLK 同步
DOUT	输出	参数化	输出信号数据	CLK 同步,全精度
OE	输出	1	输出数据使能	高有效 CLK 同步, 单周期有效
IDX	输出	参数化	输出标号	表示当前数据在插值序列中的位置

## 2.I/O 时序

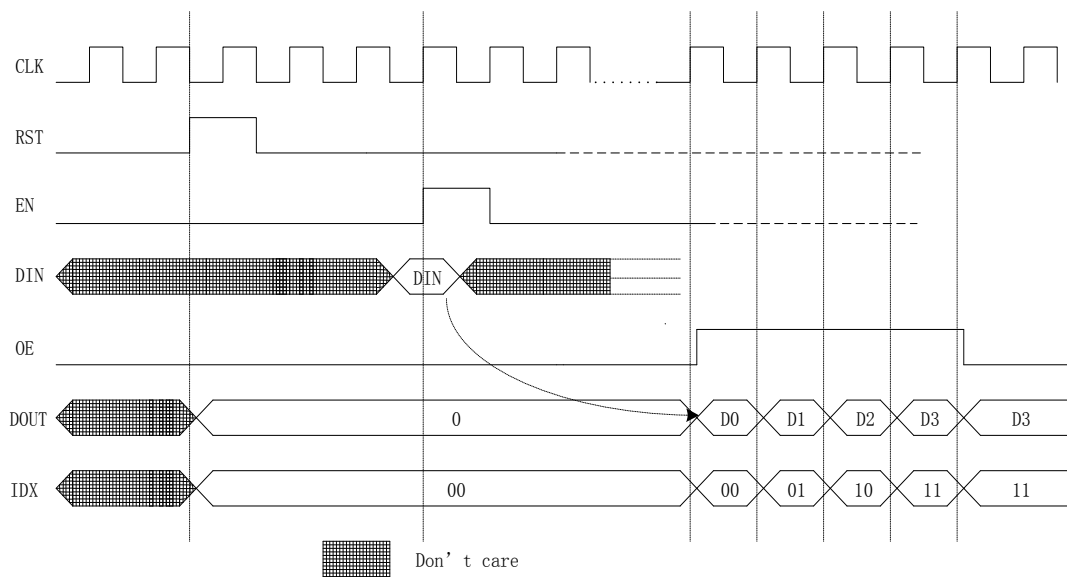


图 三 - 2 CIC 插值滤波器的 I/O 时序 R=4

采用纯流水线设计, 当时钟上升沿到达时, 若输入时能信号为高, 则对此时的输入信号信号有效, 经流水线后输出 R 个插值后的值, 同时输出响应的输出标号, 输出使能置高。

## (二) 子模块划分及实现

按照 MATABL 仿真时的方式, 将子模块划分为积分器, 梳状滤波器和采样率变换器三个子模块。

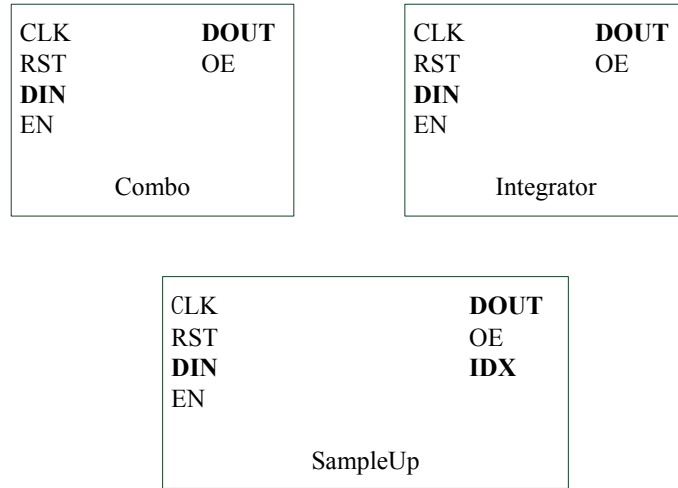


图 三 - 3 子模块划分框图及接口声明

梳状滤波器的实现:

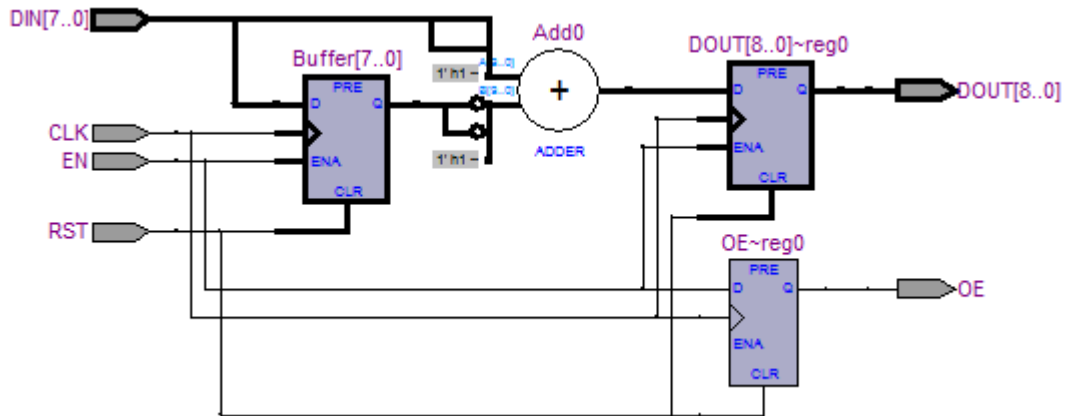


图 三 - 4 梳状滤波器 RTL 框图  $M=1$

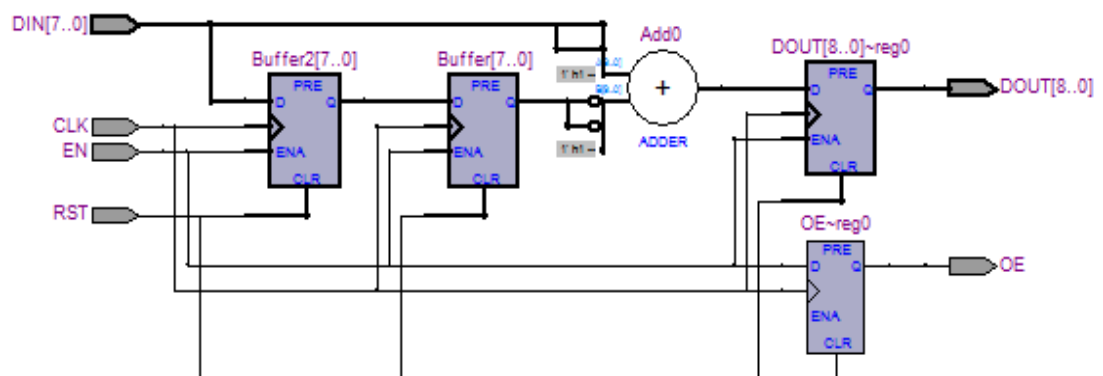


图 三 - 5 梳状滤波器 RTL 框图  $M=2$

积分器的实现：

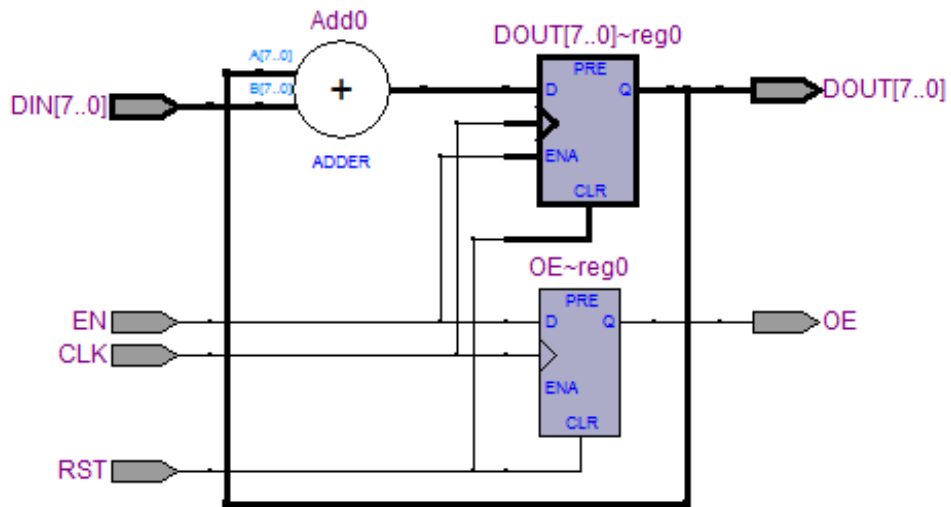


图 三 - 6 积分器 RTL 框图

采样率变换器（插值补零）的实现：

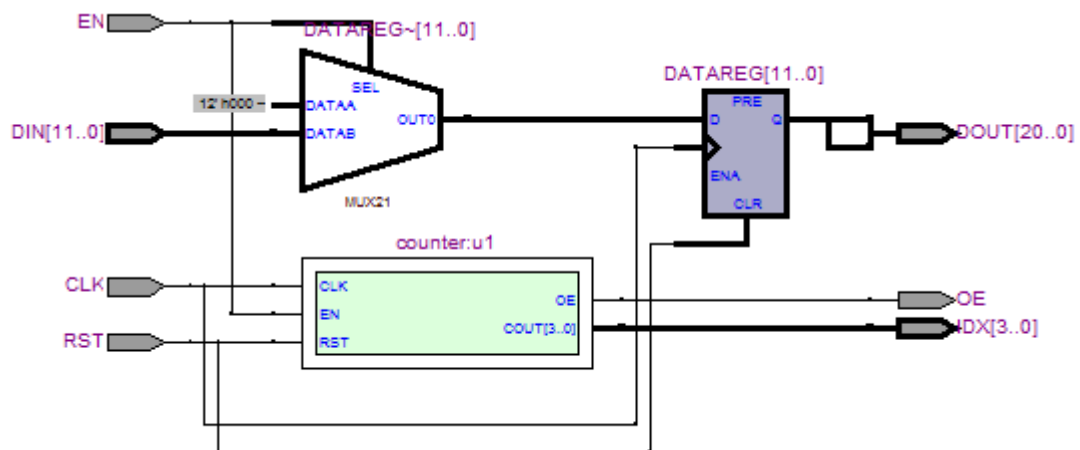


图 三 - 7 采样率变换器 RTL 框图

其中 counter 为计数器，模为参数 R，用于产生输出数据的标号以及输出使能信号。

### （三）测试方式及结果

#### 1. testbench 的设计

在传统的设计方法中，一般采用图 3-3 的方式进行测试，这种方式结构简单，目标明确，但是 testbench 模块及其激励信号是不可综合的，因而无法在 FPGA 上进行测试和调试。

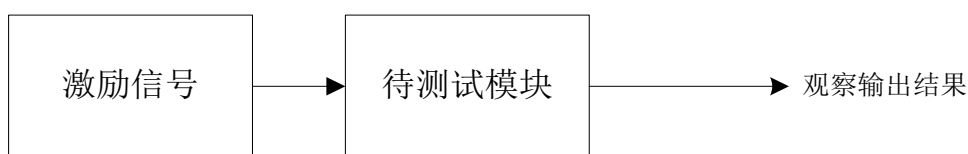


图 三 - 8 传统 testbench 的结构图

如图 3-4 是改进后的 testbench 模块的结构图。其输入信号的 ROM 是由 MATLAB 生成的，同时生成的还有输出信号的 ROM，这种结构虽然较传统的方式复杂，但是由于是可综合模块，可以在 FPGA 里进行调试，而且大大减少了人工对比的时间。

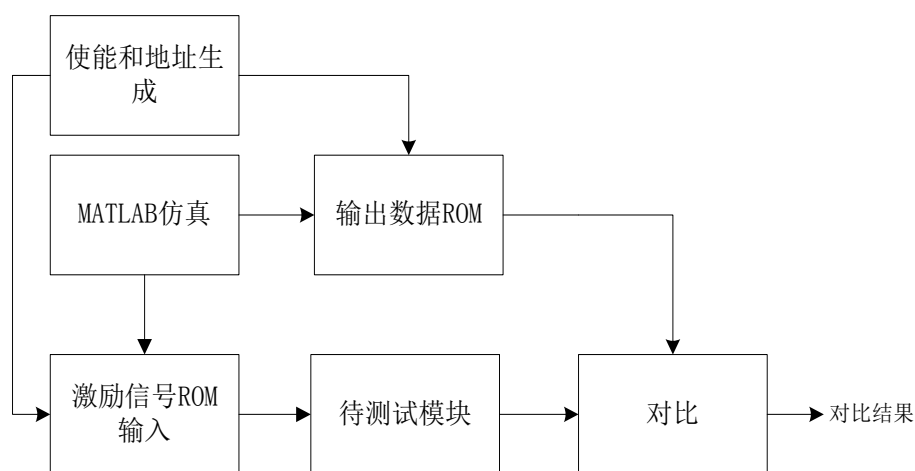


图 三 - 9 改进后的 testbench 结构图

## 2. 测试结果

测试中使用的器件为：Cyclone EP2C20Q240C8。

表 三.2 资源占用结果

N	R	M	Bit width	LE	Memory bits	Fmax Mhz
4	16	1	8	215	0	250
4	16	2	8	261	0	238.10
4	64	1	8	250	0	232.83
4	16	1	16	327	0	230.41
6	16	1	8	271	0	220.02

表 三.3 Quartus 8.1 CIC MegaCore 对比测试

N	R	M	Bit width	LE	Memory bits	Fmax Mhz
4	16	1	8	607	0	248.88
4	16	2	8	641	0	250
4	64	1	8	620	0	209.69
4	16	1	16	785	0	206.36
6	16	1	8	730	0	220.07

Testbench 中所有结果和 MATLAB 仿真得到的数据完全匹配。从图 3-10 是 N=4, R=16, M=1 时的 16 倍插 RTL 仿真结果, 从上至下分别为输入信号, MATLAB 仿真得到的输出 ROM, CIC 滤波器的输出信号, 可以看到 CIC 滤波器很好的完成了插值工作, testbench 在仿真结束后打印 “all data correct!” 表示所有数据比特精确。

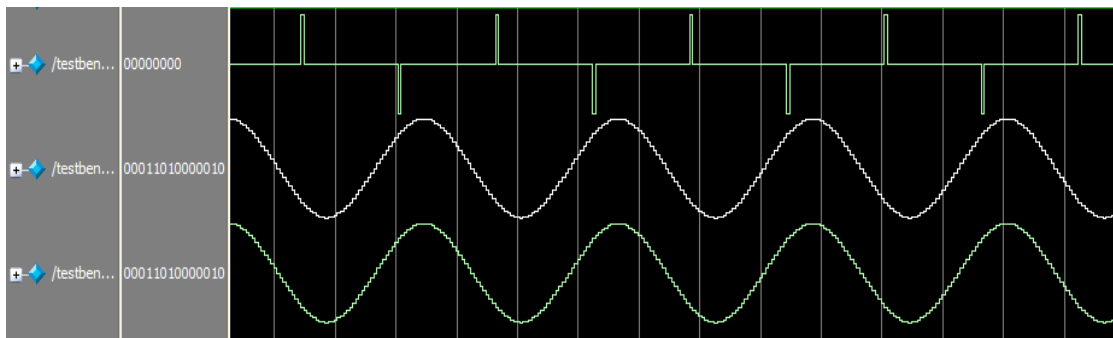


图 三 - 10 一个周期八点采样的正弦信号的 16 倍插值 RTL 仿真结果

## 四、 补偿滤波器的分析和设计

由前面的分析可知, CIC 滤波器的级联级数越高, 通带衰减也越大, 从表 1.1 可以清楚地看到这一点。当通带衰减到一定的程度会导致有用信号的失真, 无法满足设计的要求, 因此有必要对 CIC 滤波器的通带进行一定的补偿, 补偿 CIC 滤波器的通带特性的滤波器被称为补偿滤波器。下面将针对这个问题提出几种解决方案。

### (一) Sharpened CIC 滤波器

根据文献[2]滤波器锐化可以用来改进 CIC 滤波器的频率响应, 经过锐化的 CIC 滤波器的通带和阻带特性都能得到一定的改善。

如果  $H(z)$  是滤波器原来的传输函数，那么锐化后的滤波器的传输函数  $H_s(z)$  可表示为：

$$H_s(z) = \hat{H}(z) \{ 3 - 2H \} \quad (4-1)$$

于是可以得到其频率响应函数为

$$|H(f)| = 3 \left| \frac{\sin \pi Mf}{\sin \frac{\pi f}{R}} \right|^{2N} - \left| 2 \frac{\sin \pi Mf}{\sin \frac{\pi f}{R}} \right|^{3N} \quad (4-2)$$

此时称该滤波器为 Sharpened CIC 滤波器即 SCIC 滤波器，图 4-1 给出了  $R=8$  的 CIC 滤波器和 SCIC 滤波器的频率响应。可以看出，此方案设计的滤波器，其通带衰减得到了改善，同时还抑制了旁瓣，增大了阻带衰减。但这种结构的滤波器比 CIC 滤波器实现起来要复杂，由传递函数可以看出，需要 3 个相同的 CIC 滤波器、两个乘法器、一个加法器和一个延迟器。

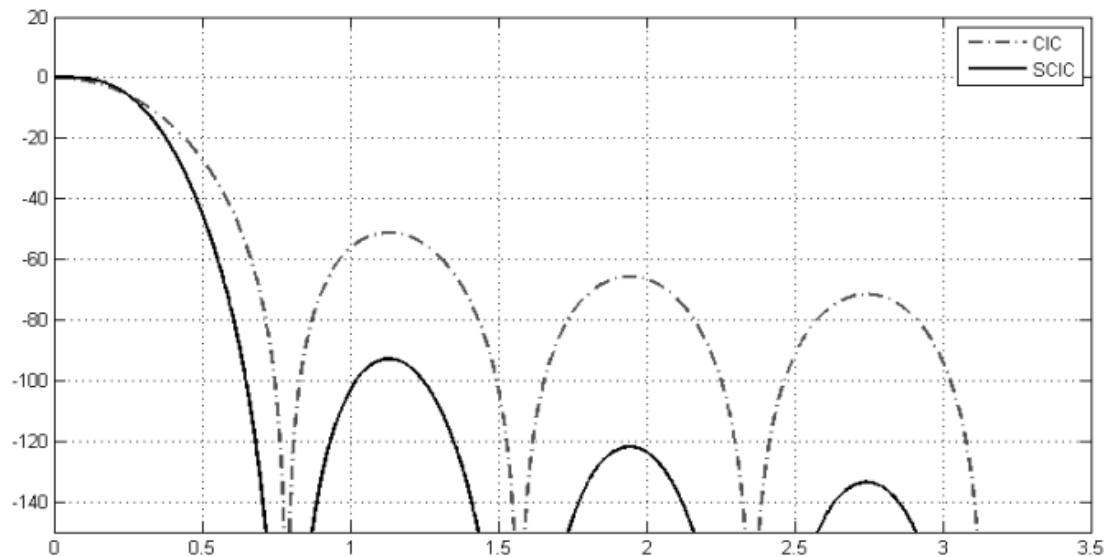


图 四 - 1 CIC 及 SCIC 频率响应曲线

## (二) 补偿滤波器

### 1. FIR 补偿滤波器

从 CIC 滤波器前面的分析可以知道，当插值比/抽取率  $R$  很大时，CIC 滤波器的频率响应函数可表示为  $|H(f)| = \left[ \frac{\sin \pi Mf}{\pi f / R} \right]^N = \left[ RM \frac{\sin \pi Mf}{\pi Mf} \right]^N$ ，因此，为了得到平坦的通带特性，补偿滤波器的频率响应函数为：

$$G(f) = \left( \frac{\pi M f}{\sin(\pi M f)} \right)^N | \sin M f |^N \quad (4-3)$$

因此 CIC 的 FIR 补偿滤波器又称为 sinc 补偿滤波器。

对于 CIC 抽样滤波器来说，补偿滤波器紧随着 CIC 滤波器，而对于插值滤波器来说，补偿滤波器在 CIC 滤波器之前，换言之，补偿滤波器总是在低采样率的一边，这样的好处是使得补偿滤波器有着充分的时钟周期来完成补偿工作。而且使用 FIR 作为补偿滤波器可控性高，设置的参数和补偿滤波器的性能有直接的联系，因而可以得到比较理想的补偿效果。

但是使用 FIR 滤波器往往需要比较高的阶数，需要乘法器，因而占用的资源比较大。

目前借助于 MATLAB，可以很方便的设计出 FIR 滤波器，以下为设计一个 CIC 补偿滤波器的实例：

```

% CIC 滤波器的参数
R = 16;
M = 1;
N = 4;
Fs = 91.392e6; %采样率（插值后/抽取前）Hz
Fc = 2.55e6; %通带截止频率 Hz
% FIR 滤波器的参数
B = 18; %FIR 系数位宽
L = 16; %FIR 阶数
Fo = R*Fc/Fs; %归一化截止频率
% Fo = 0.5/M;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
p = 2e3; s = 0.25/p;
fp = [0:s:Fo];
fs = (Fo+s):s:0.5;
f = [fp fs]*2;
Mp = ones(1,length(fp));
Mp(2:end)=abs( M*R*sin(pi*fp(2:end)/R)...
./sin(pi*M*fp(2:end))).^N;
Mf = [Mp zeros(1,length(fs))];
f(end) = 1;
h = fir2(L,f,Mf);
h = h/max(h); %FIR 滤波器抽头系数 浮点
hz = round(h*power(2,B-1)-1); %FIR 滤波器抽头系数 定点

```

从图 4-2 可以看出 FIR 补偿滤波器有很好的补偿效果，经过补偿后的频率响应有

了比较平坦的通带和陡峭的过渡带。实例当中得到的 FIR 阶数为 16 时的定点系数为[-612 1441 -3703 7667 -12428 15148 -9520 -20886 131071 -20886 -9520 15148 -12428 7667 -3703 1441 -612]，可见系数比较复杂，实现时将占用比较多的资源。

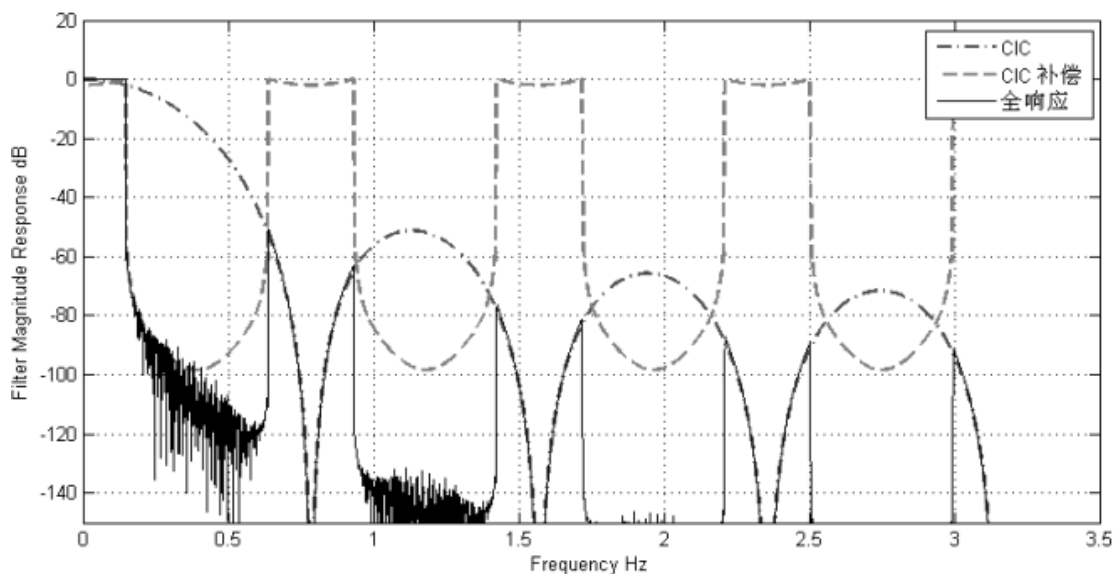


图 四 - 2 CIC 及其补偿滤波器频率响应

选择恰当的截止频率  $F_c$  是在设计 FIR 补偿滤波器时需要注意的一个重要问题，为避免失真， $F_c$  应至少为  $F_s/R$ （即采样率低的一端）的一半。当截止频率刚好为  $F_s/R$  的一半时，也就是第一个零点处时，从图 4-3 可以看出补偿滤波器的反  $\text{sinc}$  响应贯通整个奈奎斯特带宽，因此这种补偿滤波器也被称为“宽带补偿滤波器”。

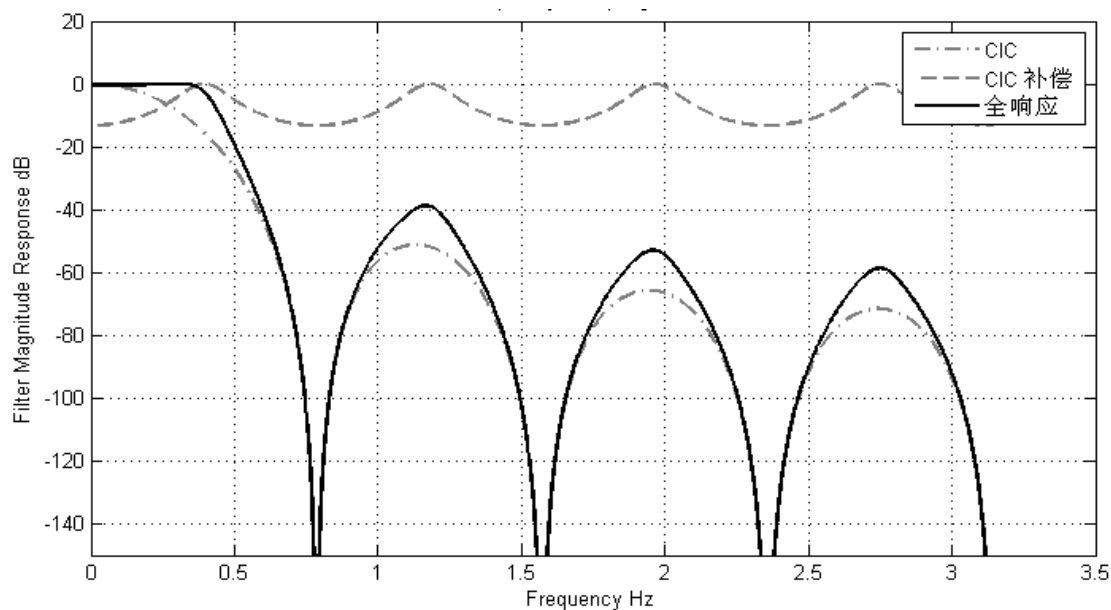


图 四 - 3  $F_c=1/2 (F_s/R)$  时的频率响应曲线

通常我们希望滤波器的过渡带尽可能的陡峭同时阻带衰减尽可能的大，因而在设计 FIR 补偿滤波器时，将截止频率的值设定的小一些，比如  $1/4$  ( $F$  是  $R$ ) 就可以得到一个通带内为反  $\text{sinc}$ ，而通带外为 0 的补偿滤波器响应，如图 4-4 所示。

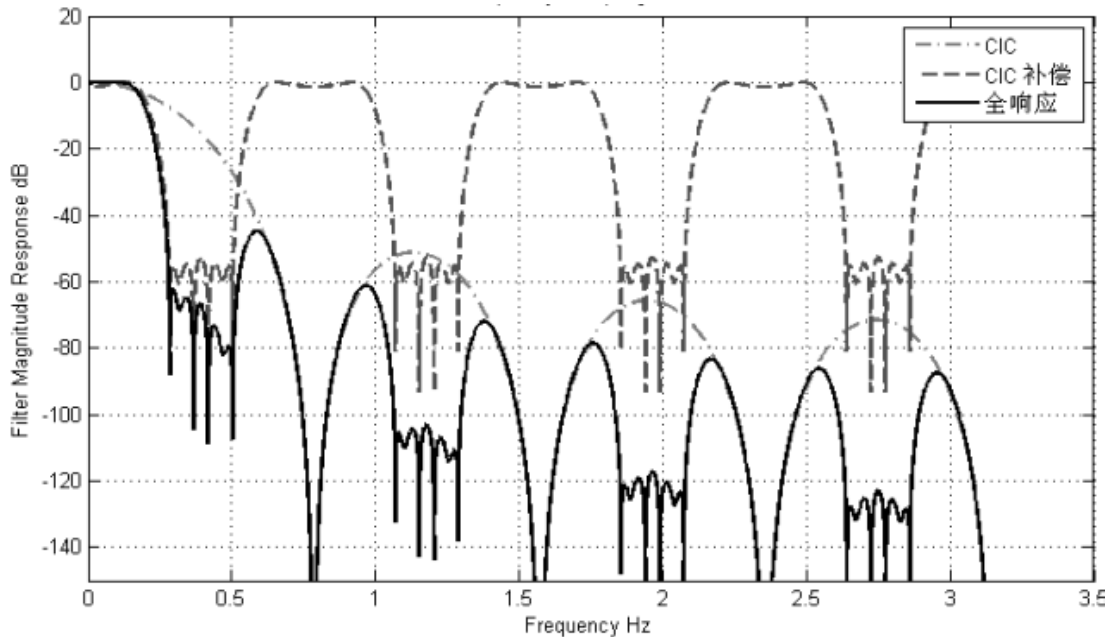


图 四 - 4  $F_c=1/4$  ( $F_s/R$ ) 时的补偿滤波器频率响应曲线

因此，FIR 补偿滤波器是补偿 CIC 滤波器频率响应的一个比较好的选择，尤其是在插值比/抽取系数比较大的时候，FIR 可以用比较大的阶数来达到很好的补偿效果。实际中 ADI AD9857 14 位正交数字上变频器便使用了这种方案。

表 四 .1  $N=4$   $M=1$   $R=8$  时补偿滤波器性能参数

阶数	通带波纹 dB	阻带衰减 dB	截止频率 $F_c @ f_s/R$
110	0.14	92	0.42
160	0.072	91.7	0.42
110	0.048	91.5	0.2

## 2.ISOP 补偿滤波器

文献[3]介绍了插值二阶多项式 (Interpolated second-order polynomials) 简称 ISOP 可以用于补偿 CIC 滤波器的通带衰减。

ISOP 滤波器的系统函数为：

$$P(z) = \frac{1}{c+2} (1 + cz^{-1} + z^{-2I}) \quad (4-4)$$

其中  $I$  为内插因子， $c$  为一实数，那么可以得到其幅频响应为：

$$|P(w)| = \frac{1}{|c+2|} |1 - 2c \cos w| \quad (4-5)$$

可以看出其周期为  $2\pi/R$ ， $w=0$  时直流响应为 1，当  $w=2\pi k/I$  ( $k=0,1,2,\dots$ ) 时有最小值，当  $w=(2\pi k+\pi)/I$  ( $k=0,1,2,\dots$ ) 时有最大值。如果  $c < -2$ ，则其最大值为  $(|c|+2)/(|c|-2)$ ，此时其频幅响应在  $w \in [0, \pi/I]$  的范围内单调增加。从前面的分析可知 CIC 滤波器在通带内 ( $0 \leq f \leq f_c$ ) 递减，因此 ISOP 滤波器恰好可以补偿 CIC 滤波器的通带衰减。为了能够补偿通带衰减，单调递增的范围  $w \in [0, \pi/I]$  的宽度应该大于等于  $2\pi f_c$ ，即  $I \leq 1/(2f_c)$ 。在实际中考虑  $I$  为正整数，且为插值系数  $R$  的整数倍，即  $I = kR$ ，所以有：

$$1 \leq I \leq [1/2f_c] \quad (4-6)$$

$$1 \leq k \leq [1/Rf_c] \quad (4-7)$$

那么 ISOP 幅频的最小值出现在  $f = 1/kR$  处，在这种情况下，每一个最小值的位置与 CIC 幅度响应的零点相吻合，这样经过 ISOP 滤波后，CIC 滤波器的抗混叠特性得以保留下来。所以设计的 ISOP 滤波器的系统函数可以写成：

$$P(z) = \frac{1}{c+2} (1 - c^{\frac{1}{2}R} z^{-k} + z^{-2k}) \quad (4-8)$$

下面给出根据已有的 CIC 滤波器，如何设计相应的 ISOP 滤波器的方法。根据 ISOP 滤波器频响函数可知，只要参数  $(k, c)$  定下了，它的频响函数也就确定了。对于每一个满足式(4-5)整数  $k$ ，最小化  $\delta$ ：

$$|H(e^{jw})P(e^{jw})| \leq \delta \quad (4-9)$$

其中  $H(e^{jw})$  和  $P(e^{jw})$  分别为 CIC 滤波器和 ISOP 滤波器的频率响应。给定  $H(e^{jw})$  后，具有最小化的  $\delta$  的最佳  $P(e^{jw})$  能够用已知的滤波器设计工具得到。比较所有的  $\delta$  值，选取最小的，那么一对与最小的  $\delta$  相关的  $(k, c)$  值就选定了。

本文在保证滤波器满足系统要求的条件下，改进了最小  $\delta$  值的方法，此方法也适用于设计其它  $N$  级的 CIC 滤波器的 ISOP 补偿滤波器。本文的设计方法是，

令  $k=1$ ，则 ISOP 滤波器的系统函数变成： $P(z) = \frac{1}{c+2}(1 + cz^{-R} + z^{-2R})$ ，在一个有

效的范围内，以一定的步长连续改变  $c$  的值，对于每一个  $c$  的值求出通带补偿后的通带最大误差  $\delta'$ ，然后进行比较，找出具有最小的  $\delta'$  的  $c$  值，这个值便可以近似的认为是最佳 ISOP 滤波器的  $c$  值。

表 4.2 给出了  $R$  从 3 到 16 的 5 级 CIC 滤波器对应的 ISOP 滤波器的  $c$  值和通带波纹。

表 四.2 ISOP 的参数值

R 系数	c	通带波纹 dB	R 系数	c	通带波纹 dB
3	-7.2	0.00077	10	-6.5	0.01274
4	-7.1	0.00083	11	-6.5	0.01617
5	-6.9	0.00092	12	-6.4	0.02025
6	-6.8	0.00180	13	-6.3	0.03080
7	-6.7	0.00396	14	-6.2	0.04401
8	-6.7	0.00519	15	-6.2	0.05211
9	-6.6	0.00692	16	-6.1	0.06016

在使用 FPGA 实现时，为方便计算，可以将  $c$  取整，虽然会有一定的误差，但是通常都是可以接受的。

图 4-5 给出了经过 ISOP 滤波后的频率响应曲线 ( $c=7$ )，从图中可以看出 CIC 滤波器的通带特性得到了补偿，但是阻带衰减却有所减小，因此在实际使用中常常使用 SCIC+ISOP 的方案，从前面的分析可以知道，SCIC 有着相对陡峭的过渡带和比较大的阻带衰减，因此采用 SCIC+ISOP 的方案可以进一步补偿经典 CIC 滤波器的频率特性得到平坦的通带，陡峭的过渡带和较大的阻带衰减。

ISOP 的参数 ( $k, c$ ) 的确定和 CIC 滤波器的参数是相关的，但是设计出一个通用的，可编程的 ISOP 滤波器几乎是不可能的，因为无法找到 ISOP 和 CIC 滤波器参数之间直接的联系。因此实际中需根据实际指标的需求通过仿真确定。

和 FIR 的补偿滤波器一样，ISOP 也总是工作在采样率低的一端，因此设计时的条件很宽裕。在使用 FPGA 实现 ISOP 时， $c+2$  可以作为增益不予理会，因此只需要两个延时寄存器，一个乘法器，两个加法器，为了更进一步减小资源开销，还可以将乘法因子  $c$  分解为移位器和加法器来实现，例如  $c=6$ ，可以分解为  $2+4$ ，用左移一位和两位再相加实现，图 4-6 给出了 ISOP 在 FPGA 上实现的一般方法。

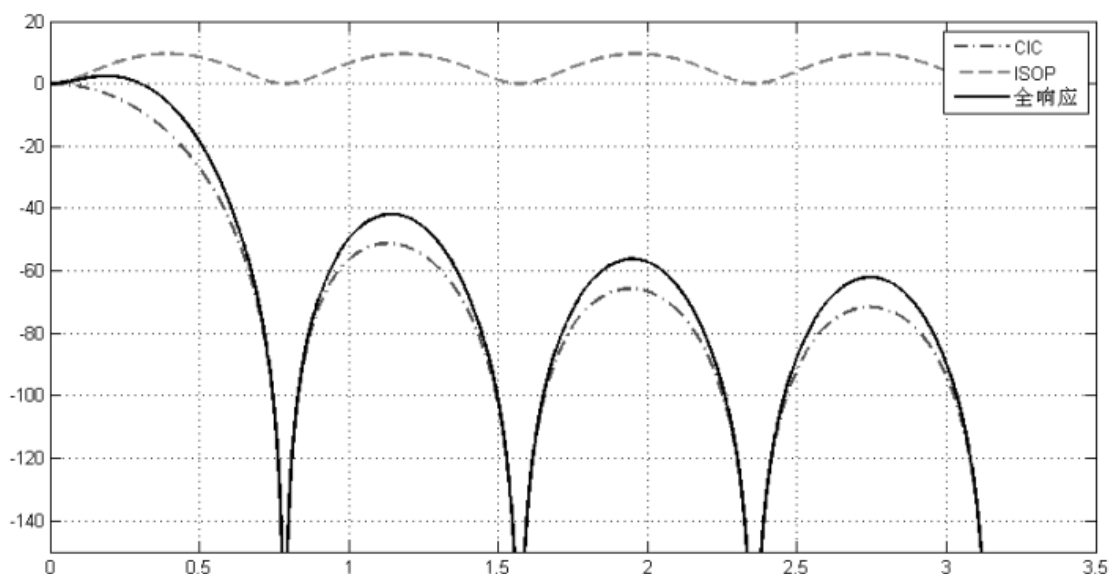


图 四 - 5 ISOP 补偿滤波器频率响应曲线  $R=16$   $N=4$   $M=1$   $c=7$

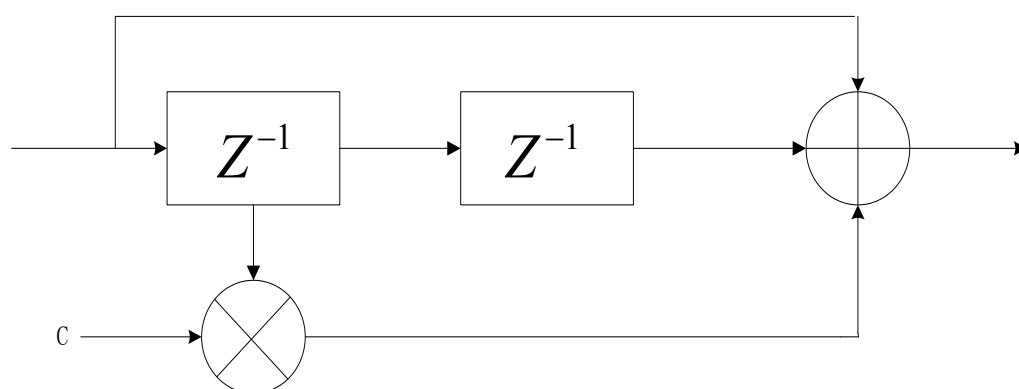


图 四 - 6 ISOP 的 FPGA 实现框图

### (三) 补偿滤波器的选择

从前面的分析可以知道， $\text{sinc}$  补偿滤波器的补偿效果是最好的，无论通带平坦度和阻带衰减都在合理设置后都能达到一个比较好的效果，而且目前 FIR 滤波器的设计方案也比较成熟，可控性高，各参数和补偿性能都有直接的联系，工作在采样率低的一端给在实现上提供了极大的便利，在插值/抽取比很高的情况下，尤其适合使用 FIR 补偿滤波器。但是相应的， $\text{sinc}$  补偿滤波器占用的资源也是最大的。

ISOP 补偿滤波器的结构简单，在分解系数  $c$  后可以不用乘法器就能实现，但是单独的 ISOP 补偿效果有限，阻带衰减和过渡带的性能都有待提高，为了得到比较好的补偿效果，通常使用 SCIC+ISOP 的方案，但是带来性能提升的同时

也增加了设计的复杂程度。

因此,在实际使用中,应根据实际使用权衡利弊使用合适的 CIC 补偿滤波器。

## 五、CIC 滤波器电路编译器的设计

### (一) 编译器输入参数的确定

RTL 电路编译器的目的是为了生成指定参数 CIC 滤波器, CIC 滤波器有插值滤波器和抽取滤波器两种, 参数有级数  $N$ , 插值/抽取系数  $R$  和差分延时  $M$ , 确定了这几个参数, 就能完全确定一个 CIC 滤波器。内部信号的位宽和其他参数等将由 MATLAB 通过输入的参数计算得出。同时针对 testbench 还需要确定激励信号的一些参数, 如输入信号的频率, 采样率, 测试信号的点数等等, 以 CIC 插值滤波器为例, 需要确定如表 5.1 所示的参数。

表 5.1 CIC 滤波器输入参数的确定

参数	说明
级联级数 $N$	整数限定 1-12
插值比 $R$	整数限定 2-32000
差分延时 $M$	仅限 $M=1$ 或 $M=2$
输入数据位宽 $W$	整数限定
采样率 $f_s$	仅对 testbench 有效
正弦频率 $f_0$	仅对 testbench 有效
测试点数 $point$	仅对 testbench 有效
时钟频率 $clock$	仅对 testbench 有效
寄存器延时 $C2Q$	仅对 testbench 有效

在参数选项框需要验证参数的有效性, 对输入的无效参数要给予警告提示, 以防止生成无效的设计。同时建议对输入参数使用结构体, 以方便管理。

MATALB 提供了很多图形用户界面 (GUI) 设计的函数库, 因此可以很方便的设计出参数输入的 GUI。同时 GUI 程序还可以通过编译生成 .exe 程序, 方便运行。

## (二) RTL Verilog 代码生成

### 1. 各参数对子模块的影响

当 CIC 滤波器的类型确定后，级数  $N$ ，采样率变换系数  $R$ ，差分延时  $M$  决定着模块的结构和参数。

需要考虑的参数有：

每一级的位宽，这是由  $N$ ,  $R$ ,  $M$ ，都将对每一级的位宽有决定作用，MATLAB 将根据输入的参数计算得到每一级所需要的位宽。为简单起见，在 Verilog 里使用 parameter 语句来控制位宽，并在顶层模块里使用 defparam 语句来复写参数。

子模块的结构，对于梳状滤波器，差分延时  $M$  影响着梳状滤波器的结构，有  $M=1$  或者  $M=2$  两种不同的形式。积分器的结构不受任何参数的影响。而采样率变换器的受变换系数  $R$  的影响。

顶层模块受级联级数  $N$  的影响，个子模块级联数还影响中间节点信号的多少，因此顶层模块的各部分应该都是动态可配置的。

### 2. Verilog 代码生成流程

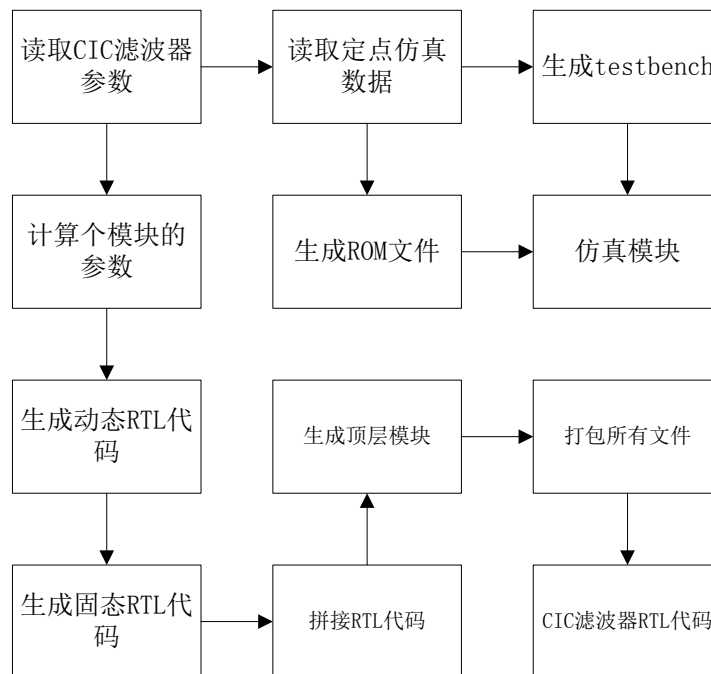


图 五 - 1 Verilog 代码生成流程

MATLAB 有一系列对文件操作的函数，使用这些函数可以生成文件，改写文件，其中 fopen 函数可以打开或者新建文件 fprintf 函数可以向文件中写入内容。如图 5-1 所示在得到合法的参数后，可利用 fprintf 生成顶层模块和子模块，以及

响应的 testbench 模块，另外当子模块很多时，建议将所有模块打包为一个文件，方便使用。

cic_filter.v	2010-5-13 12:08	MTI verilog
cic_filter_PK.v	2010-5-13 12:08	MTI verilog
Combo.v	2010-5-13 12:08	MTI verilog
InputInt.v	2010-5-13 12:08	MTI verilog
Integrator.v	2010-5-13 12:08	MTI verilog
SampleUp.v	2010-5-13 12:08	MTI verilog
tb_rom_in.v	2010-5-13 12:08	MTI verilog
tb_rom_out.v	2010-5-13 12:08	MTI verilog
testbench.v	2010-5-13 12:08	MTI verilog

图 五 - 2 编译器生成的 Verilog 文件及打包文件



图 五 - 3 CIC 插值滤波器参数输入 GUI

为了保证该 RTL 代码在各 EDA 厂商综合器下的正确编译，本设计没有使用最新版本的 Verilog 语法标准,而是采用了 Verilog - 95 标准作为最终生成的 RTL 代码格式，例如不包含 for 循环等新标准定义的语句。最终生成的 RTL 代码主要包含三部分内容:首先是由 IP 编译器开发人员手工编写的参数化固态 RTL 模块代码,这部分模块代码在编译器生成的所有 IP 中均不会发生变化,仅需在模块例化时根据信号配置来确定模块参数的例化值。另一部分 RTL 代码由代码生成

器根据当前 IP 内部信号配置动态生成,用于实现 HDL 语言参数化语法无法实现的功能,例如梳状滤波器在  $M=1$  和  $M=2$  两种情况下代码不同的部分。同时, MATLAB 生成的激励信号和输出信号的 ROM 也包含在这一部分。;最后一部分代码是 RTL 的顶层代码,其中包括 IP 的模块声明、接口信号的定义和描述、子模块例化,以及根据信号配置参数使用线网进行子模块互连。

在生成 Testbench 文件时需要考虑激励信号的点数,使能信号,时钟信号的周期等因素,并由代码产生器根据定点模型仿真配置,自动为 RTL 生成配置参数和激励信号 ROM 和输出信号 ROM。另外,代码产生器还负责将定点模型仿真结果提供给数据校验模块,用于 RTL 结果波形和定点模型结果数据的自动对比。

## 结论

本文探究了经典的 CIC 滤波器及其 FPGA 实现,并讨论了其补偿滤波器的设计方法,主要完成的工作如下:

1. 研究了软件无线电中数字上下变频器中常用到的 CIC 滤波器的数学本质,讨论了其频域时域特性,并说明了 CIC 滤波器在数字上下变频中的优势和其存在的缺点。
2. 实现了 CIC 滤波器的 MATLAB 仿真,进行了浮点和定点模型的建立,并讨论了防止溢出每一级所需要的子长以及每一级为允许指定误差下可舍去的字长。
3. 对经典的 CIC 滤波器的 FPGA 中的实现结构进行了研究。并对传统的 testbench 的结构进行了改进,提出了一种新的适合于 FPGA 上验证的方法,该方法可以大大减少人工验证结果的时间。通过实验给出了 CIC 滤波器的资源产用情况。
4. 讨论了 CIC 滤波器补偿滤波器的设计方法,给出了 FIR 补偿滤波器的实例,分析了三种补偿方式的特点,指出了 ISOP 和 ISOP 补偿效果的缺陷,最终给出了 ISOP+SCIC 和 FIR 补偿滤波器两种补偿方案。
5. 实现了可以自动生成 CIC 滤波器 RTL 代码的电路编译器,讨论了设计电路编译器的基本流程。

未来工作与展望:

在目前已完成的工作的基础上完成 CIC 补偿滤波器电路编译器的工作。进一步探讨研究软件无线电中数字上下变频器中其他模块,包括直接数字式频率综合器 DDS (Direct Digital Synthesizer), 半带 HB(Half Band)滤波器,等。最终完成完整的数字上下变频系统,提供完整的数字中频信号处理方案,并以电路编译器的方式实现。

## 参考文献

- [1] 杨小牛,楼才义,徐建良.软件无线电原理与应用.北京:电子工业出版社,2001.
- [2] Alan Y. Kwentus, Zhongnong Jiang, and Alan N. Wilson, Jr. Application of filter sharpening to cascaded integrator-comb decimation filters. IEEE Transactions on Signal Processing,1997.
- [3] On the Use of Interpolated Second-Order Polynomials for Efficient Filter Design in Programmable Downconversion Hyuk J. Oh, Sunbin Kim, Ginkyu Choi, Member, IEEE, and Yong H. Lee, Senior Member, IEEE, 1999.
- [4] U. Meyer-Baese, Digital Signal Processing with Field Programmable Gate Arrays, 2nd Edition, Springer, 2004.
- [5] Matthew P. Donadio, CIC Filter Introduction, 2000
- [6] Xilinx Datasheet.Cascaded Integrator-Comb(CIC)Filter V3.0.
- [7] Altera Understanding CIC Compensation Filters V1.0.
- [8] Altera CIC Compiler UserGuide V9.1.
- [9] Hogenauer, Eugene. An Economical Class of Digital Filters For Decimation and Interpolation, IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. ASSP-29, pp. 155-162, April 1981.
- [10]陈勇.基于 FPGA 实现高速专用数字下变频器:[硕士学位论文].成都,电子科技大学,2005.
- [11] 崔文, 基于 FPGA 的数字上下变频器的研究与实现:[硕士学位论文].西安电子科技大学,2006.
- [12]J.Kaiser and R.Hamming.“Sharpening the response of a symmetric nonrecursive filter by multiple use of the same filter”.IEEE Trans.Acoust.,Speech,Signal Processing,vol.ASSP-25,pp.415 - 422,Oct.1977.

## 后记

本文是在我的指导老师杜伟韬的指导下完成的，在此我谨向杜老师表示衷心的感谢。在本毕业设计的完成过程中，杜老师为我提供了良好的工作条件和学习环境。自始至终给我无微不至的关怀和鼓励。在学习和科研过程中，杜老师悉心指导，言传身教，使我在理论和实践等方面都得到了锻炼和提高。

真诚的感谢 06 广播电视工程所有的老师和同学，能在这样充满智慧和友爱的集体里学习，我深感幸运，与你们相处的每一天将永远留在我的记忆中。

在我的求学生涯中，我深爱的父母和家人给予我坚定不移的支持，每当我遇到困难的时候，他们总是耐心的鼓励我，给我莫大的关心。正是由于他们的关爱和支持，我完成了我的学业，我无以表达我的感激，谨以此文献给他们，作为我的报答！