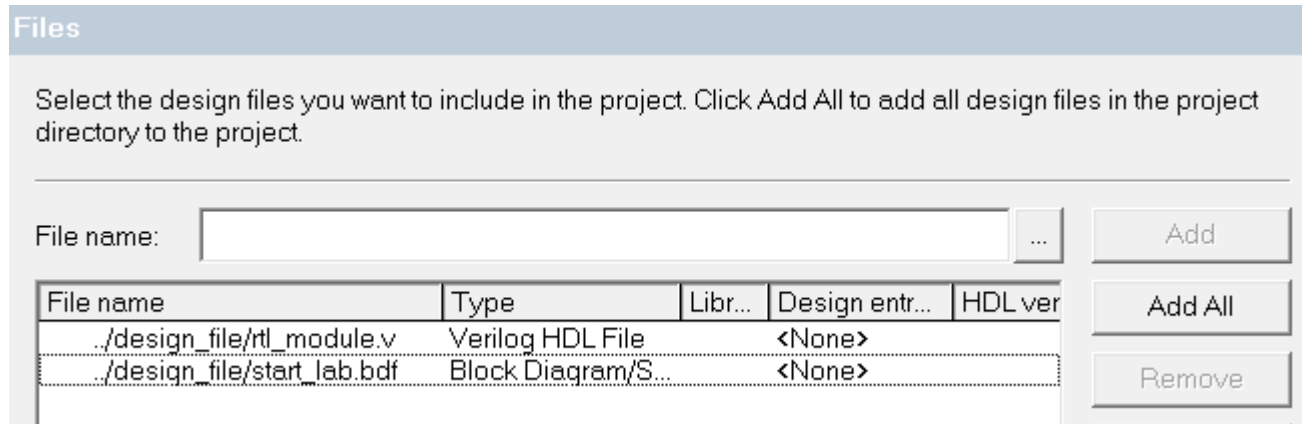


FPGA 实验

译码器组合逻辑

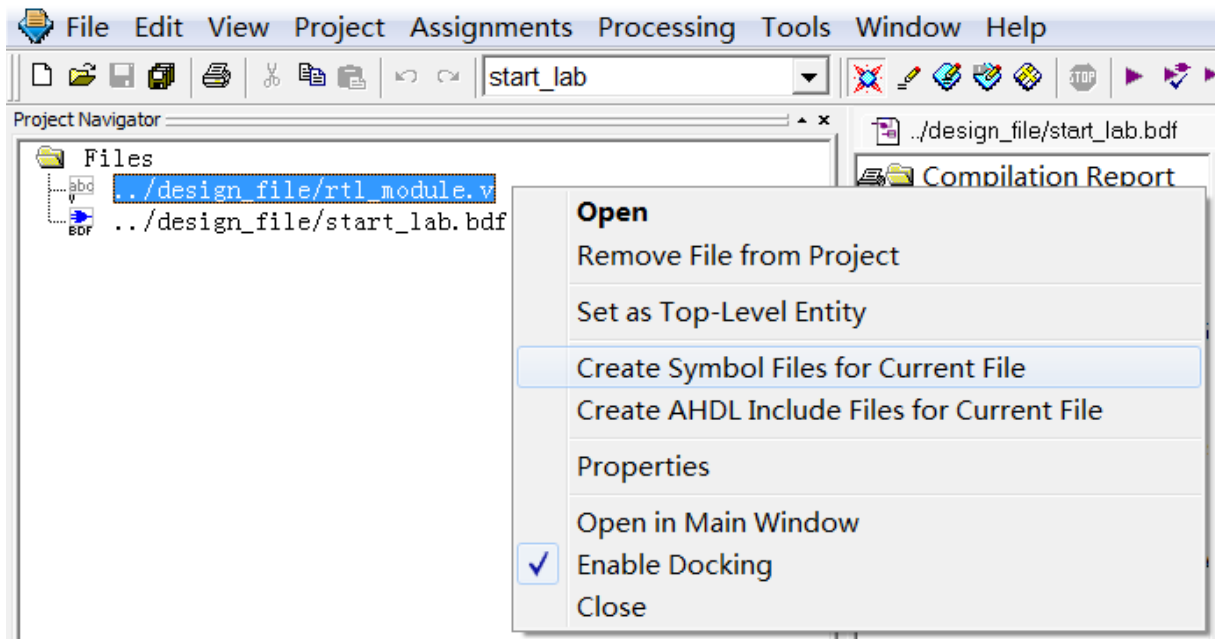
中国传媒大学 数字化工程中心 杜伟韬
duweitao@cuc.edu.cn

新建项目 顶层是BDF文件



- 在添加一个Verilog文件 rtl_module.v
- 该文件中包含要例化的子模块的原型代码

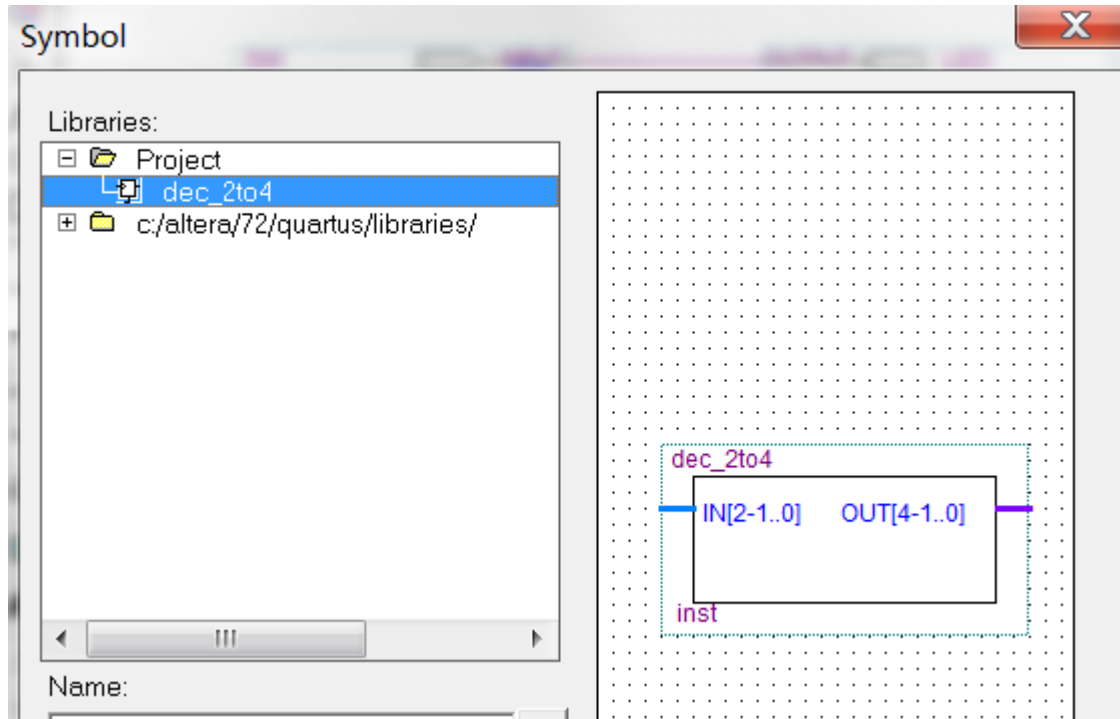
为代码文件创建符号(symbol)



```
1 module dec_2to4 (  
2   IN ,  
3   OUT);  
4   input  [2-1:0] IN ;  
5   output [4-1:0] OUT ;  
6  
7   reg [4-1:0] OUT ;  
8  
9   always @ (IN) begin  
10      case (IN)  
11         2'b00: OUT = 4'b 0001;  
12         2'b01: OUT = 4'b 0010;  
13         2'b10: OUT = 4'b 0100;  
14         2'b11: OUT = 4'b 1000;  
15      endcase  
16   end  
17  
18 endmodule // module dec_2to4;
```

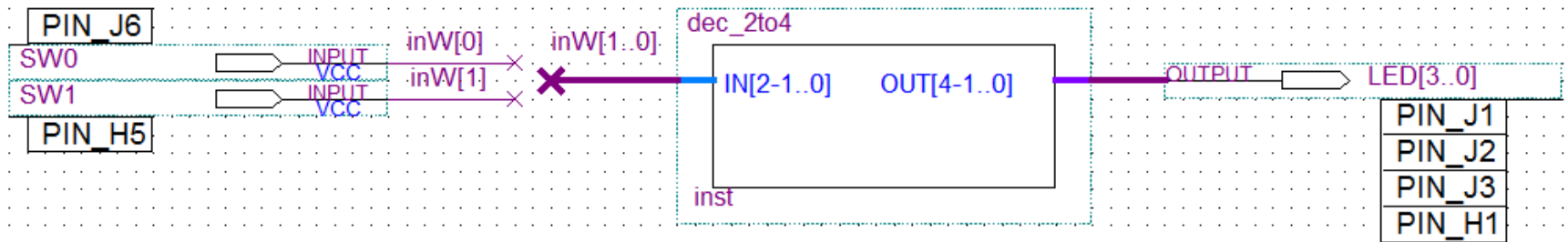
- 该过程生成代码文件对应的符号模块
- 可以在BDF文件中调用
- 代码文件中包含一个2-4译码器的verilog代码

在BDF文件中添加译码器



- 双击BDF文件中的空白处
- 添加2-4译码器

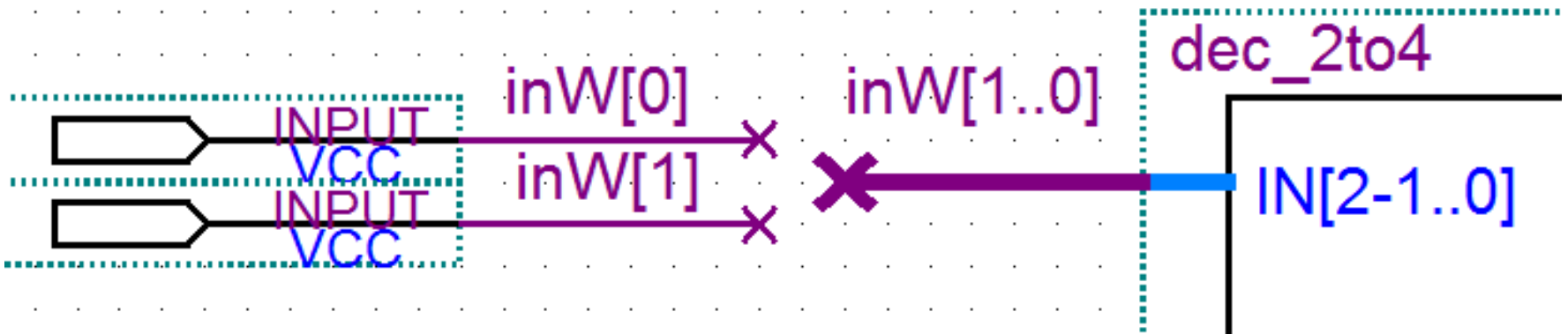
把FPGA的SW、LED和译码器的I/O连线



	Node Name	Direction	Location
1	LED[3]	Output	PIN_H1
2	LED[2]	Output	PIN_J3
3	LED[1]	Output	PIN_J2
4	LED[0]	Output	PIN_J1
5	SW0	Input	PIN_J6
6	SW1	Input	PIN_H5
7	<<new node>>		

- 需要连接2个SW作为输入，4个LED作为输出
- 注意要指派管脚

注意网标式的接线方法



- 导线命名方法：导线上右键，properties，name，然后设定名称，中括号表示该导线是一个bus的一部分
- 线网的选择使用两个点号“..”，例如图中的inW[1..0]，表示其包含了inW[0]和inW[1]两根导线
- 这种使用导线的名称来进行连接电路的方法叫做网（络）标（号）式连接

编译和下载

- 观察结果
- 拨动开关SW0和SW1
- 观察各个LED的亮灭情况

学生实验

- 仿照本实验，请完成以下任务
- 1、放置2个2-4译码器模块，则总共有2组SW，每组2个，2组LED，每组4个，每组SW分别控制其对应的LED组。
- 2、参照代码，设计一个3-8译码器，完成类似的拨码开关实验。注意代码中的信号宽度设定。
- 3、自行查阅手册中的7段译码器管脚对应关系，用4个拨码开关控制一个7段译码器的数字，从0-9-A-F，共16个数字和字母