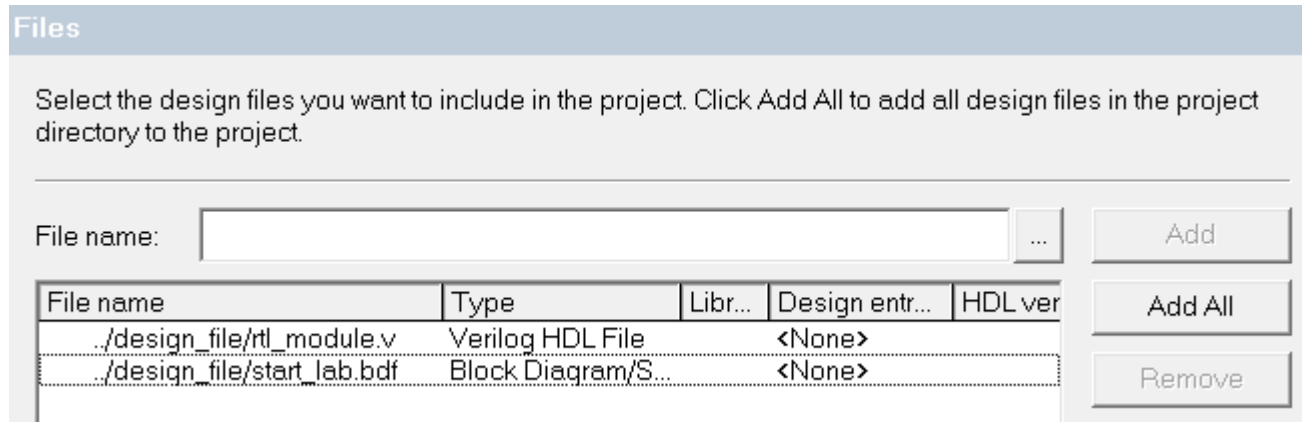


FPGA 实验

计数器、波形仿真、SignalTap

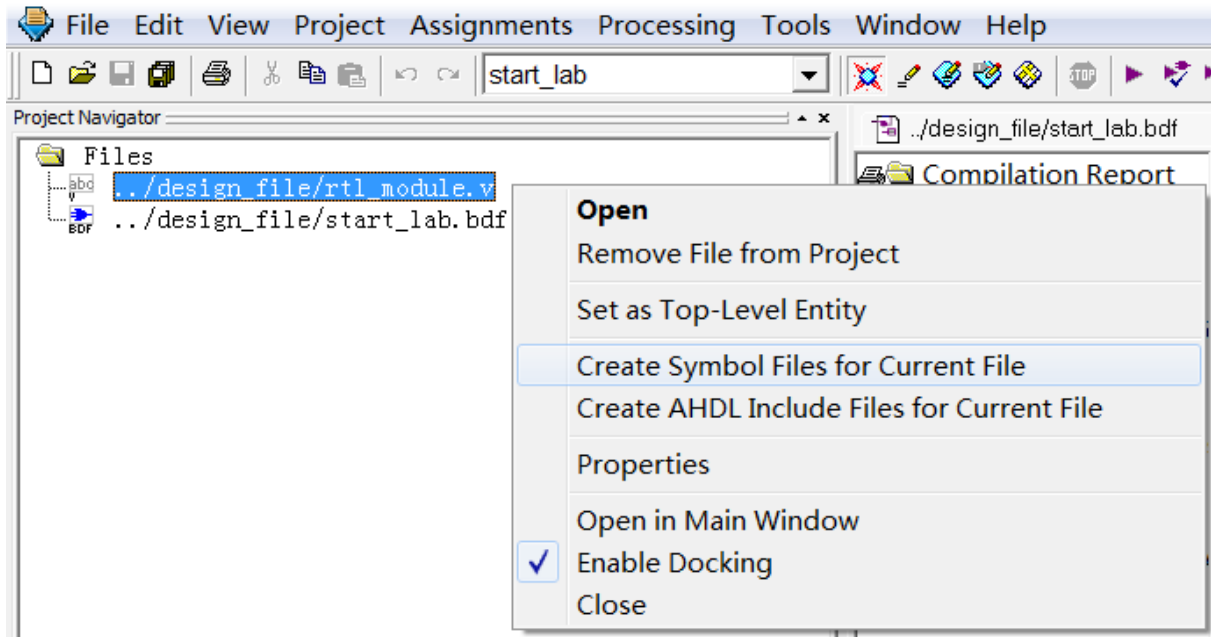
中国传媒大学 数字化工程中心 杜伟韬
duweitao@cuc.edu.cn

新建项目 顶层是BDF文件



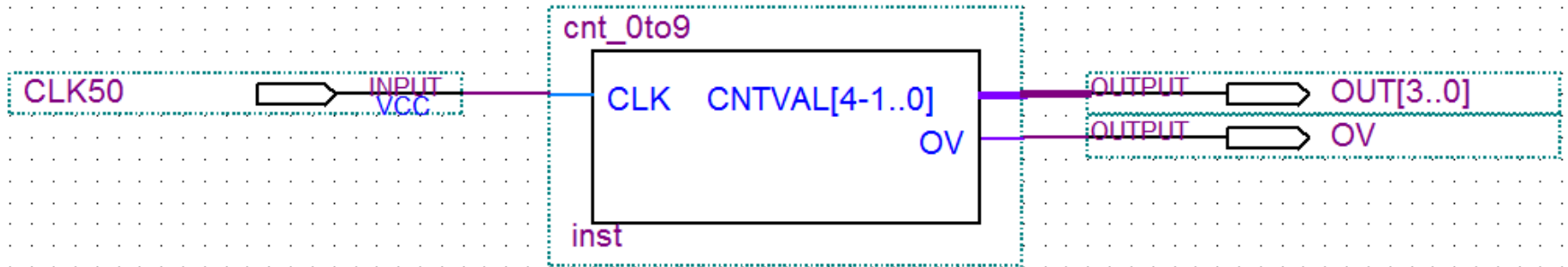
- 包含Verilog文件 rtl_module.v
- 该文件中包含要例化的子模块的原型代码

为代码文件创建符号(symbol)

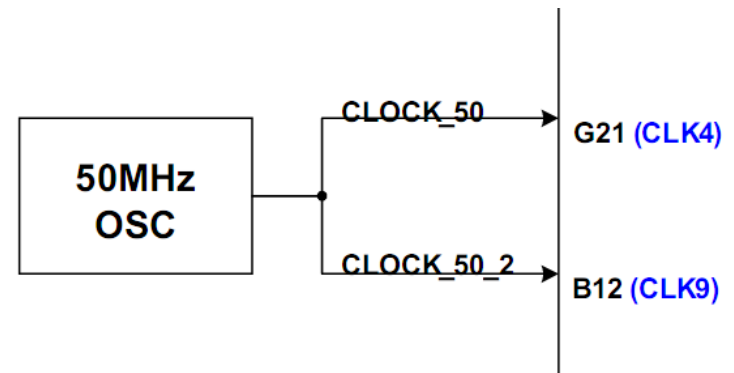


- 该过程生成代码文件对应的符号模块
- 可以在BDF文件中调用
- 代码文件中包含要使用的计数器verilog代码

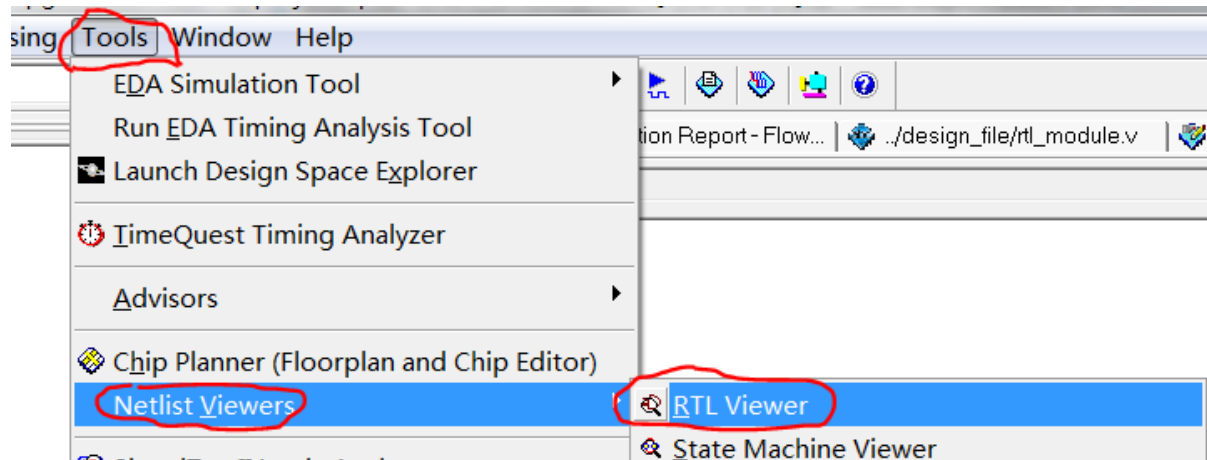
在BDF文件中添加0-9计数器



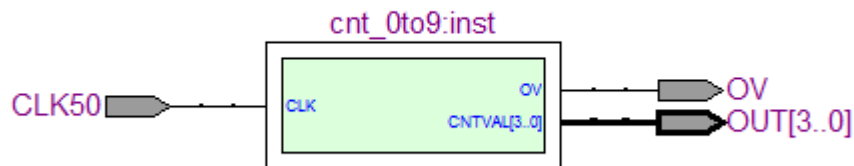
- 该计数器来自工程项目的verilog文件中
- 指派时钟管脚，CLK50信号来自管脚PIN_G21
- 编译整个项目



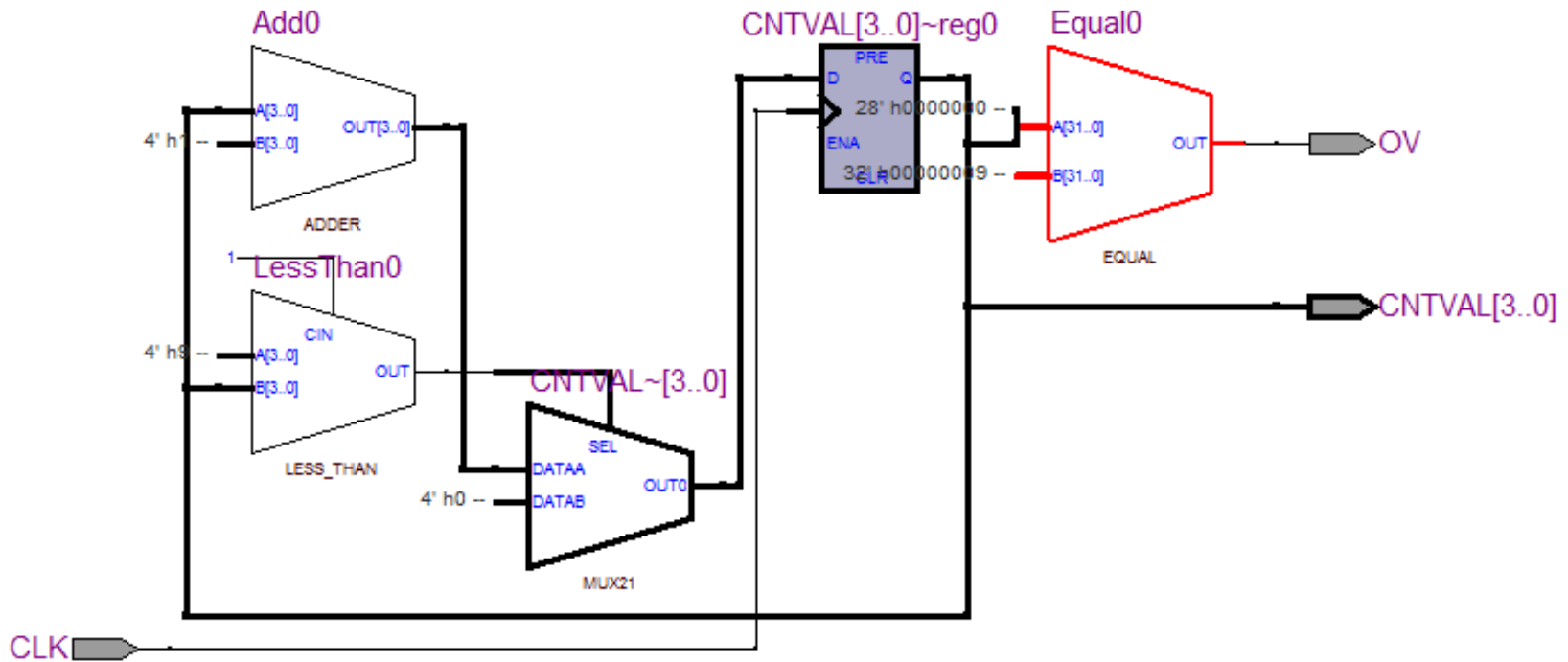
Analysis and Synthesis 观察RTL视图



- 先进行部分编译 
- 然后观察RTL视图
- 双击RTL模块可以观察其内部的子模块结构

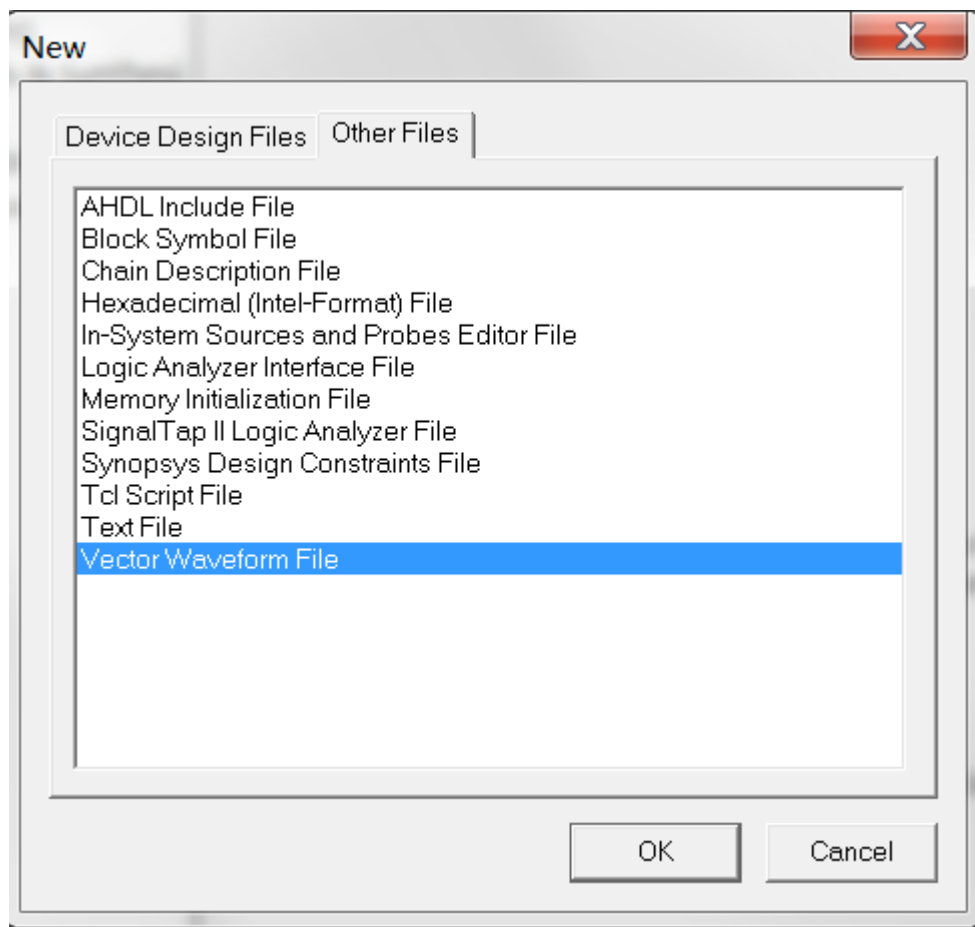


观察计数器模块内部电路结构



- 对照该电路结构，以及其Verilog代码文件，思考一下电路的工作原理。
- 以后编写Verilog代码的时候，心中要先想出类似的电路结构才能写代码。
- 然后看工具生成的RTL视图和你想象的是否一样。

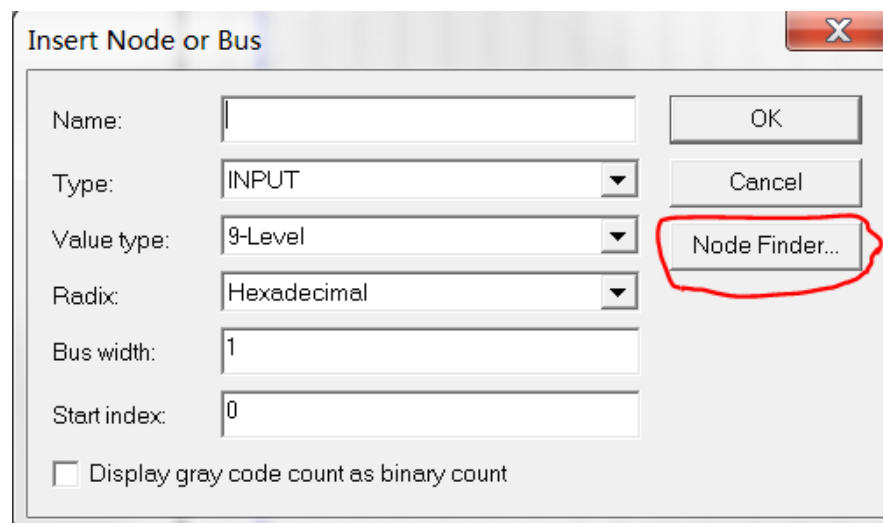
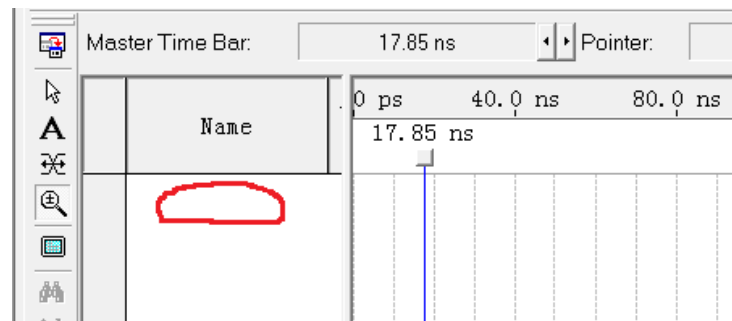
对计数器进行波形仿真 创建波形文件 并save



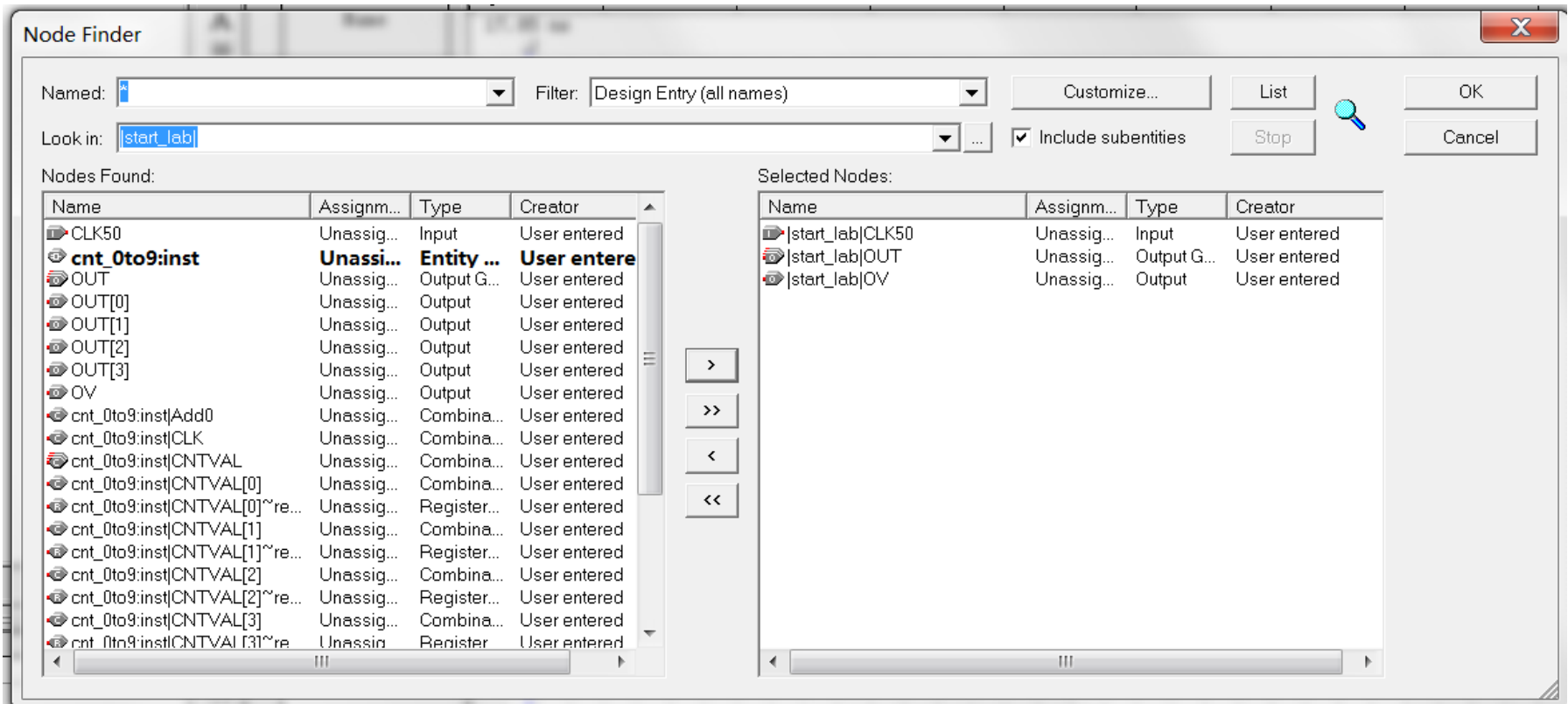
- 注意，该波形仿真功能仅存在于9.0及以下版本的Quartus中

添加仿真信号

- 选择波形仿真vwf文件
- 双击视图左侧空白处使用 Node Finder

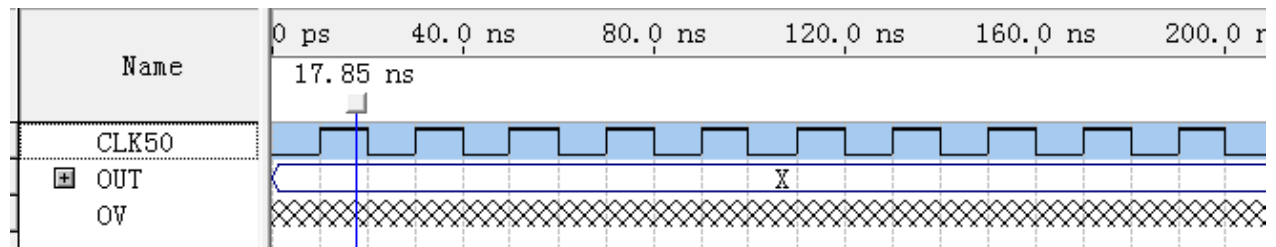
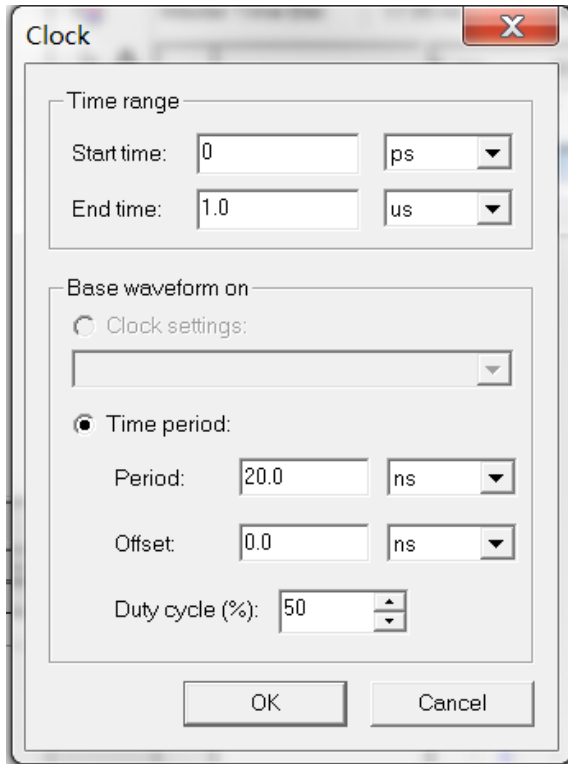


添加计数器相关信号

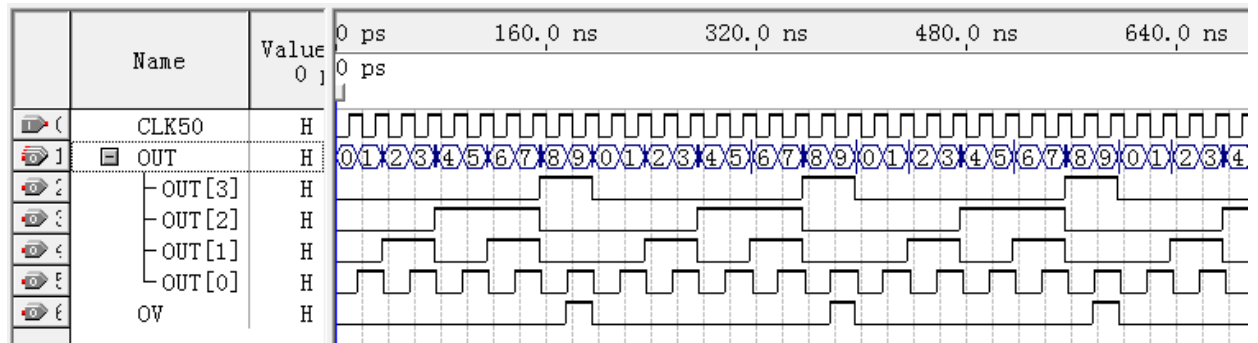
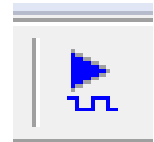


- 还能看到很多Quartus生成的中间电路节点的信号

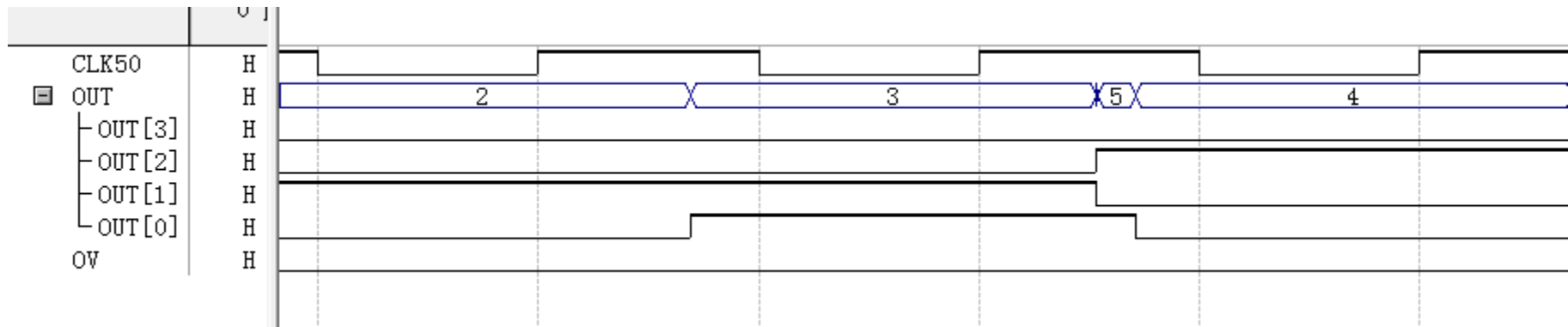
设置时钟激励信号并仿真



- 点击图标运行仿真
- 观察仿真结果

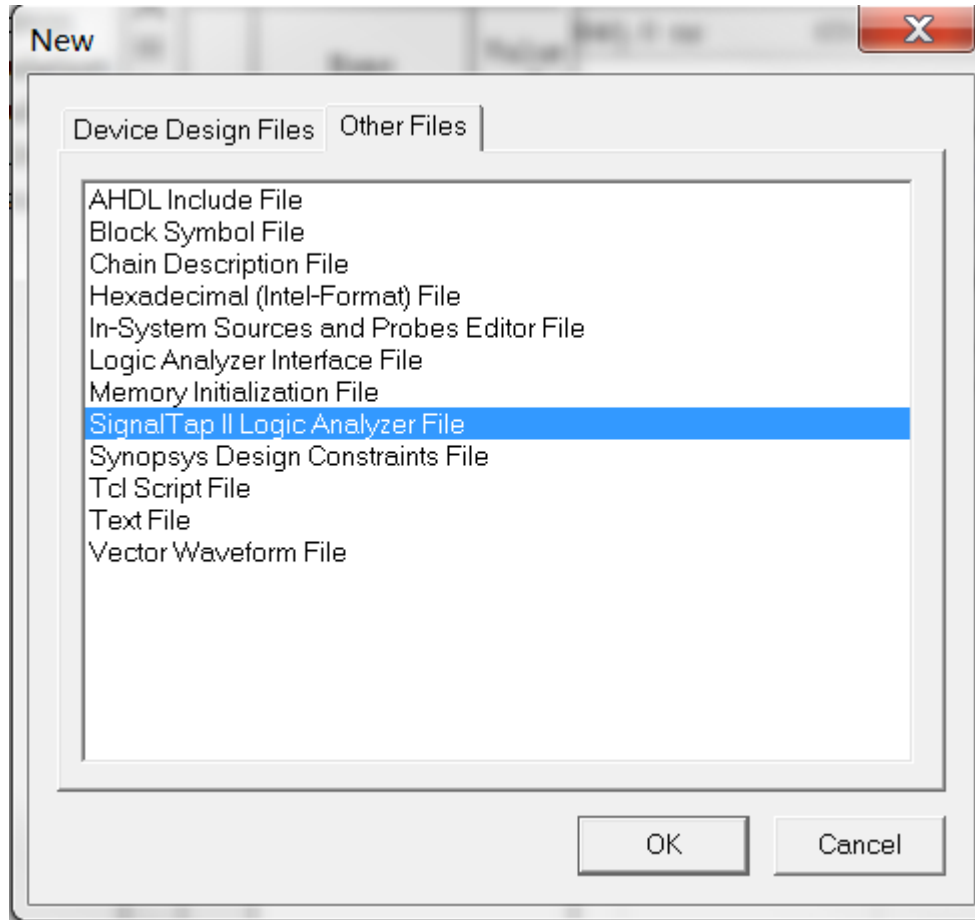


观察毛刺，为什么会有毛刺？



- 点击图标运行仿真，把波形时域展宽，可以看到，3和4之间还有5，而2、3之间没有别的数目
- 请解释

新建SignalTapII 文件



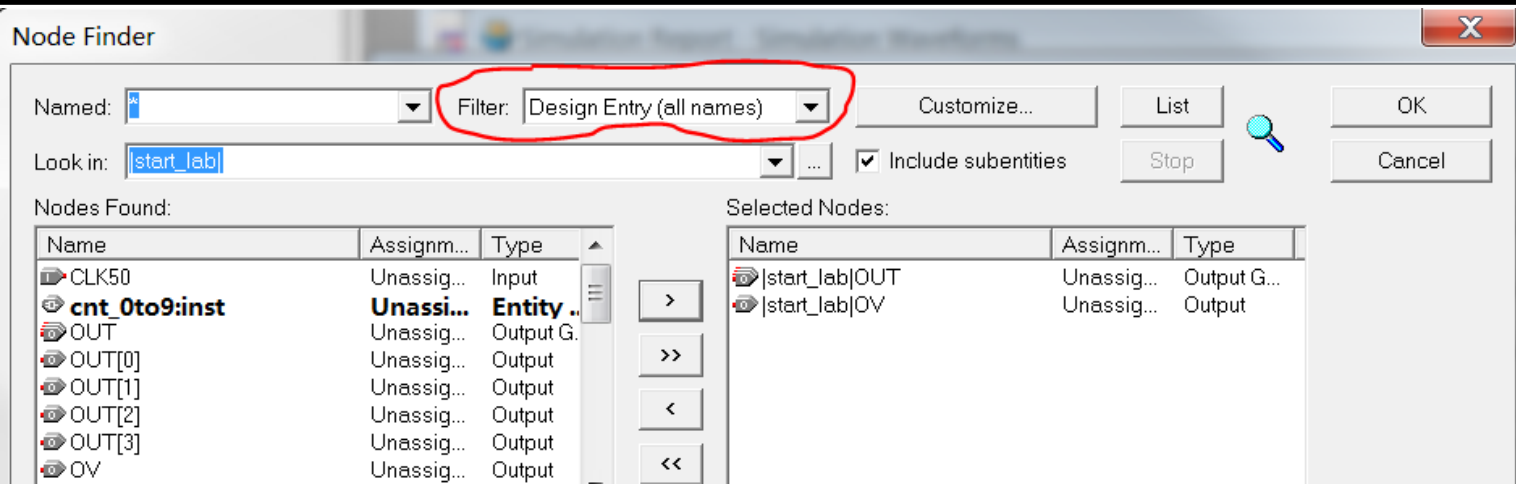
- 然后将其存盘
- 确认将其加入到 quartus 的工程项目中
- 注意，尽量不要为一个工程项目建立多个 SignalTap 文件

首先在setup页面添加采样时钟

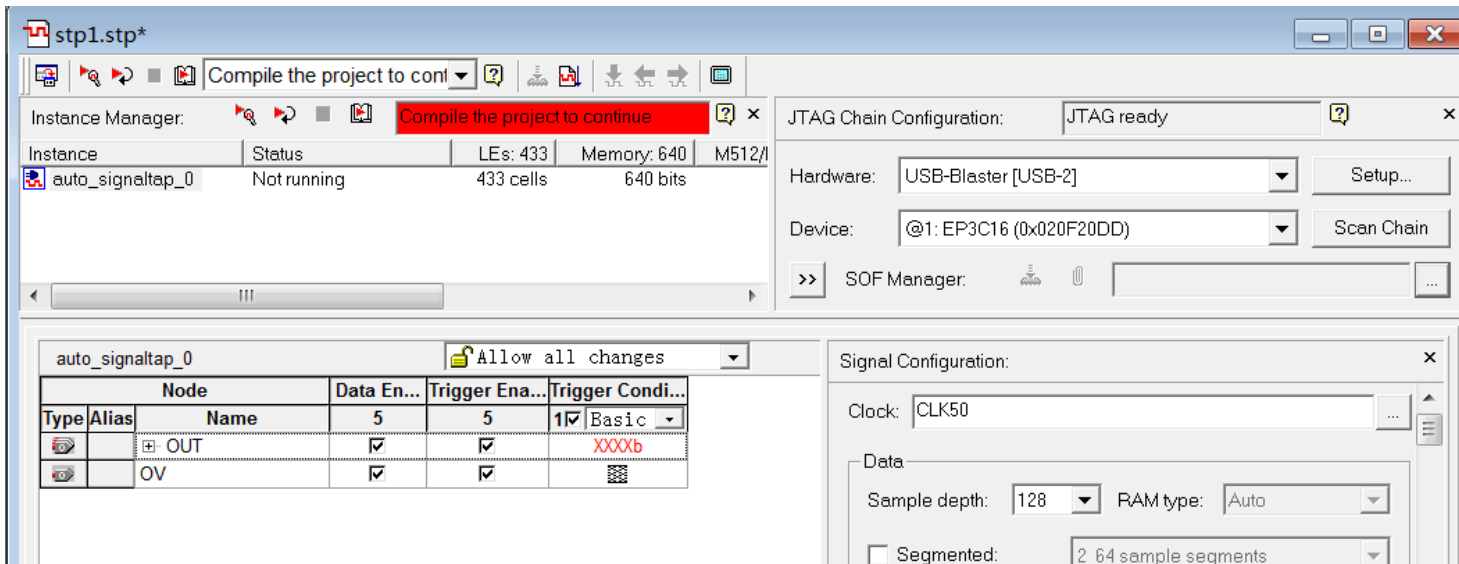
The screenshot shows the Quartus II SignalTap II setup interface. The main window is titled 'stp1.stp*'. The 'Instance Manager' shows one instance, 'auto_sigaltap_0', which is 'Not running'. The 'JTAG Chain Configuration' shows 'JTAG ready' and 'USB-Blaster [USB-2]' hardware. The 'Signal Configuration' dialog is open for 'auto_sigaltap_0'. The 'Clock' field is set to 'CLK50'. The 'Data' section shows 'Sample depth' at 128 and 'RAM type' at Auto. The 'Setup' tab is selected at the bottom.

Type	Alias	Name	Data En...	Trigger Ena...	Tr...
			0	0	1

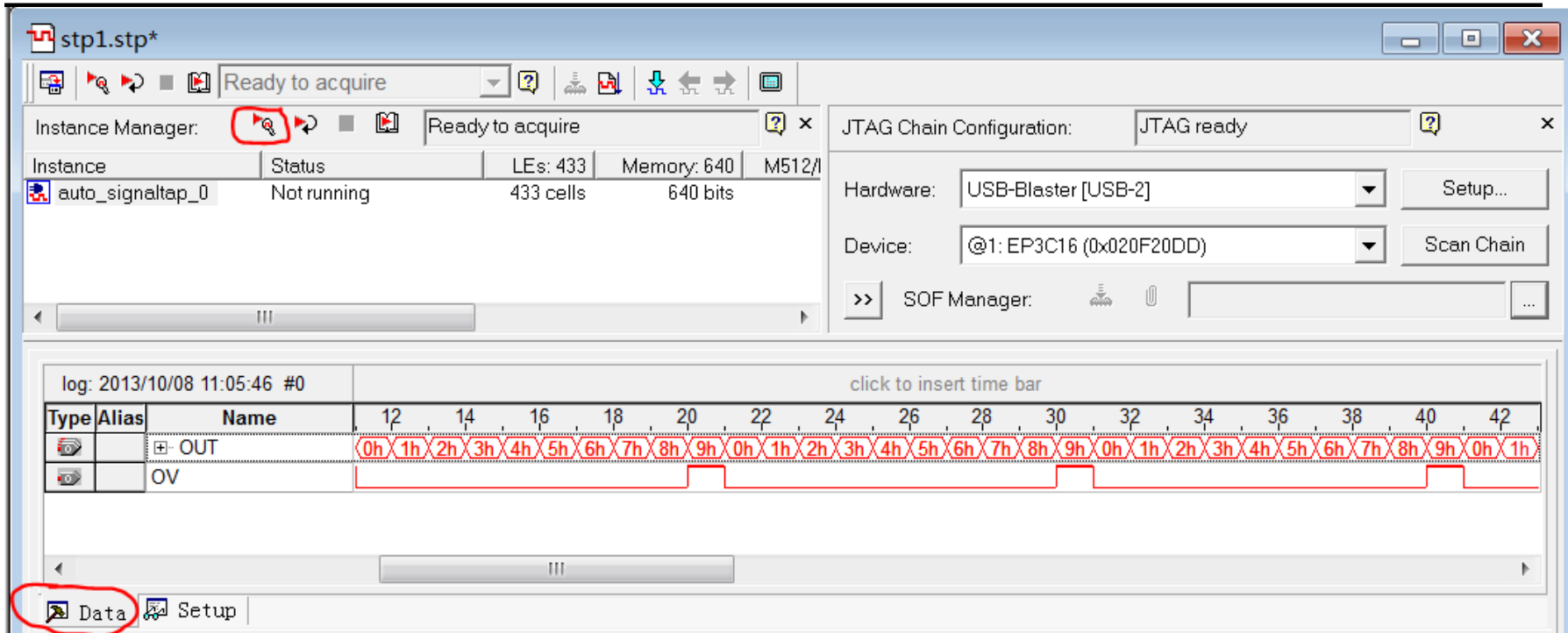
双击添加待观察数据信号



- 把 filter项 选成 design entry(all names)。然后重新编译项目

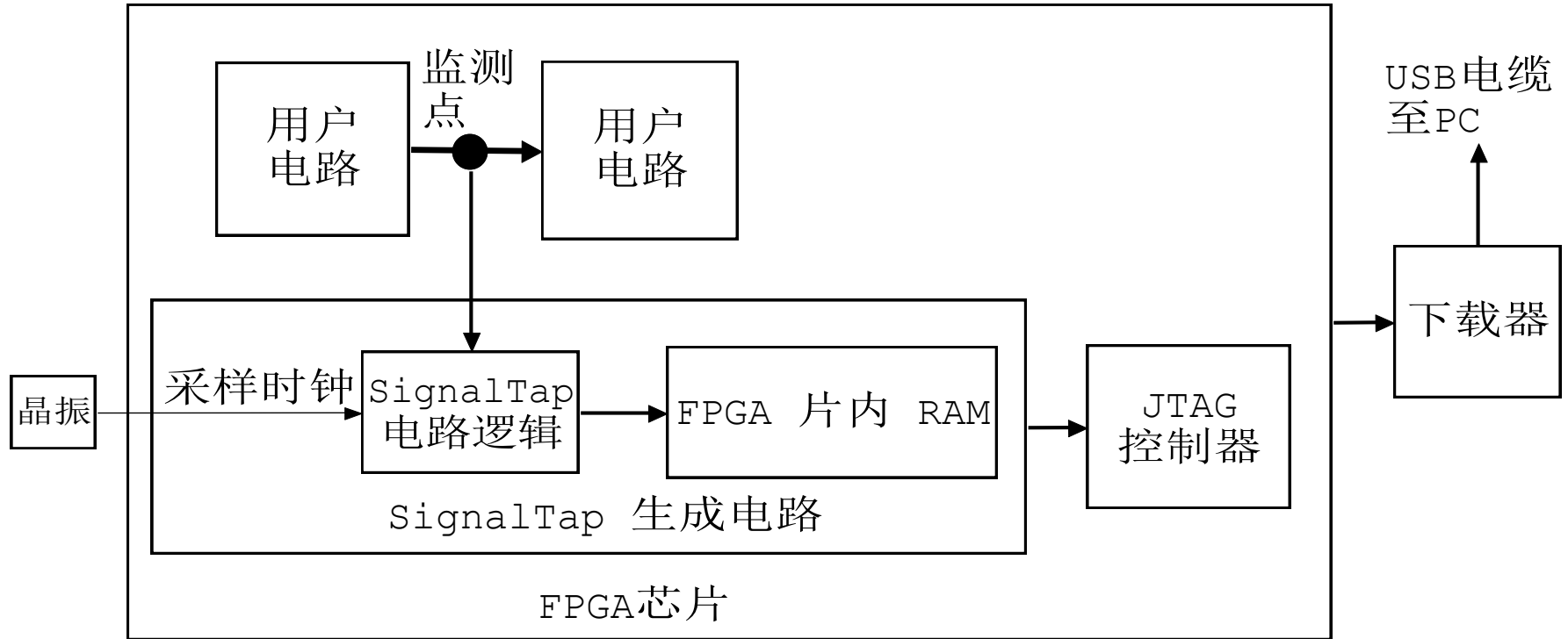


编译和下载



- 点击单次运行 run analysis
- 分析抓取回来的数据正确性

SignalTap原理



- 捕获数据为实时，传输数据非实时
- 会占用FPGA的片内资源
- 可以设定合理的触发方式，提高捕获效率

学生实验

- 仿照本实验，请完成以下任务
- 1、参照代码，设计一个0-17的计数器，当计数值为17的时候，OV输出1，其他输出0，注意设定合理的信号位宽。
- 2、针对以上计数器，修改输出逻辑，当计数值为0-8时，OV输出0,9-17时OV输出1
- 用SignalTap验证
- 尝试并思考，如果时钟是50MHz，把OV接到一个LED上，能看见什么现象，为什么？