

# FPGA 实验

## 多周期移位寄存器

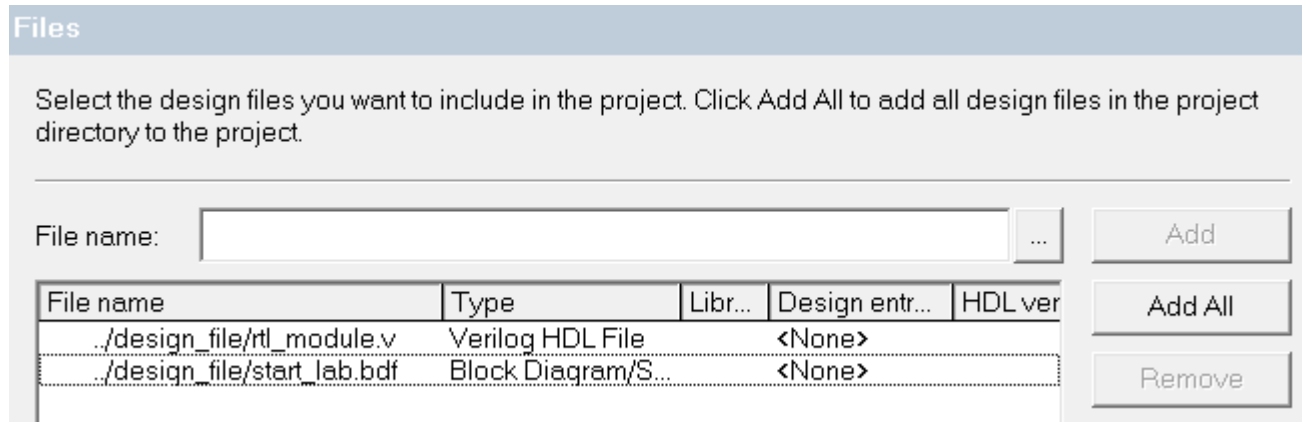
中国传媒大学 数字化工程中心 杜伟韬  
duweitao@cuc.edu.cn

# 本实验设计目标

---

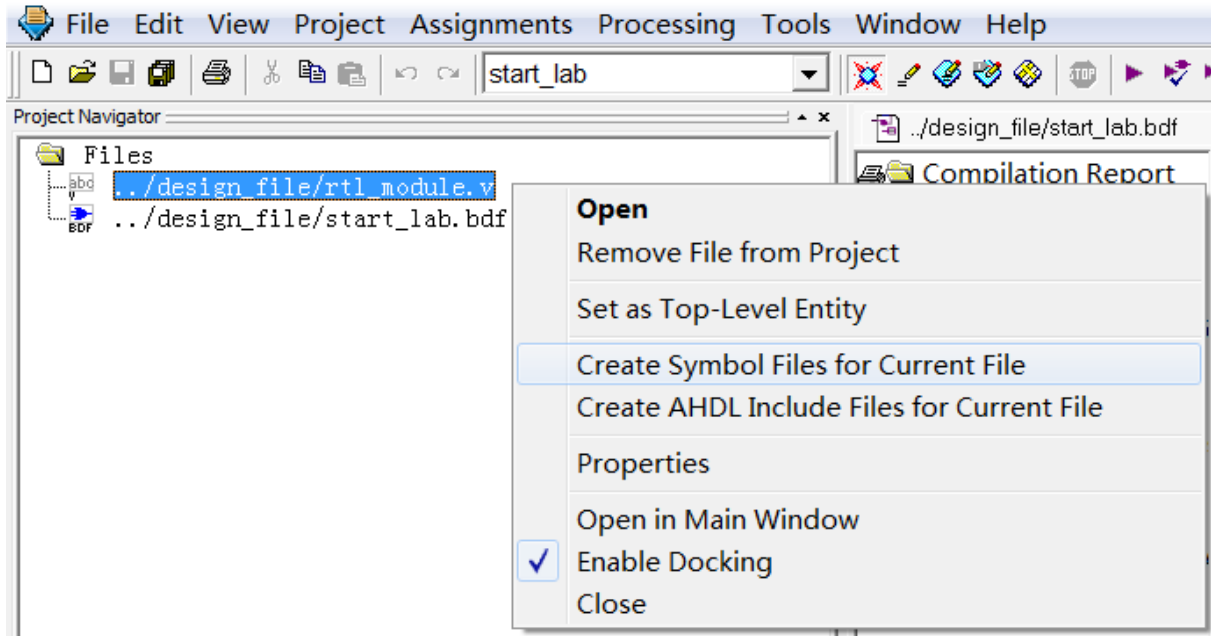
- 设计时间基准电路和带使能的多周期移位寄存器
- 电路工作在50MHz
- 在每个时间基准信号有效的时钟周期
  - 把一个拨码开关的状态值移位输入到寄存器的最低位
  - 顺序移动移位寄存器的值
  - 寄存器的每个比特送至一个LED灯上显示

# 新建项目 顶层是BDF文件



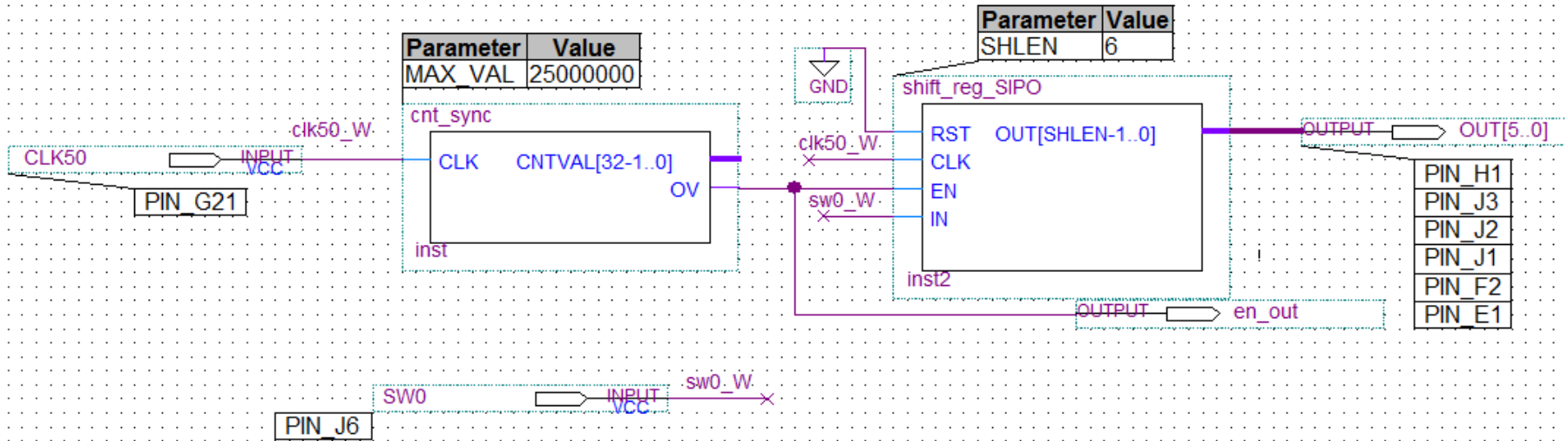
- 包含Verilog文件 rtl\_module.v
- 该文件中包含要例化的子模块的原型代码

# 为代码文件创建符号(symbol)



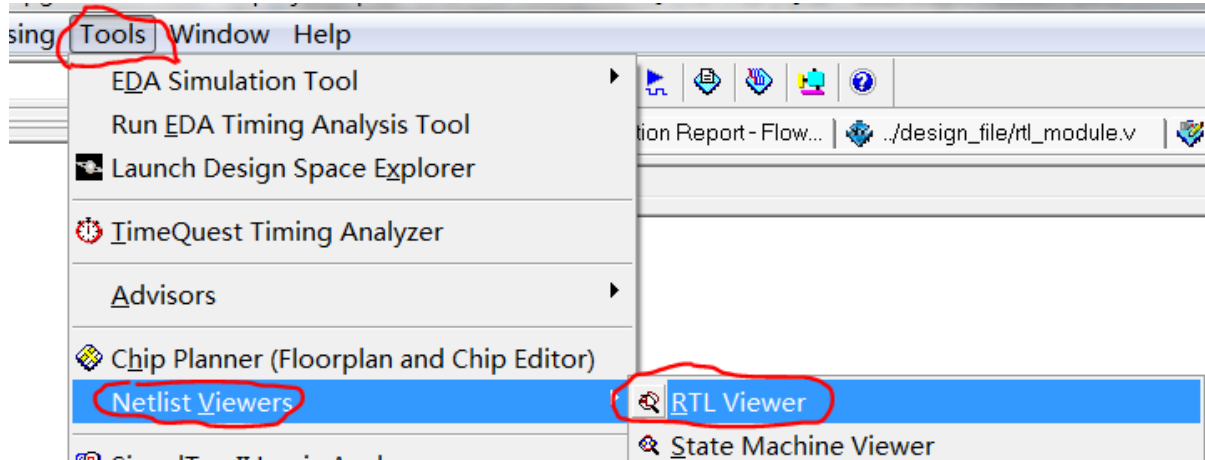
- 该过程生成代码文件对应的符号模块
- 可以在BDF文件中调用
- 代码文件中包含要使用的计数器verilog代码

# 拼接模块，指定管脚

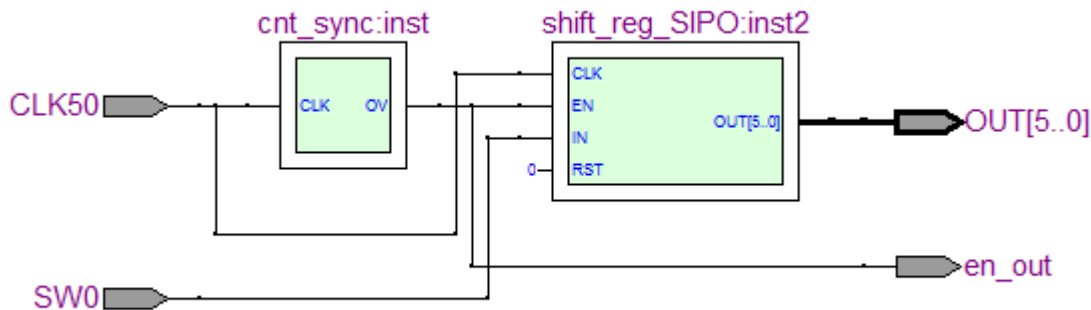


- 图中的管脚配置对应Terasic DE0开发板

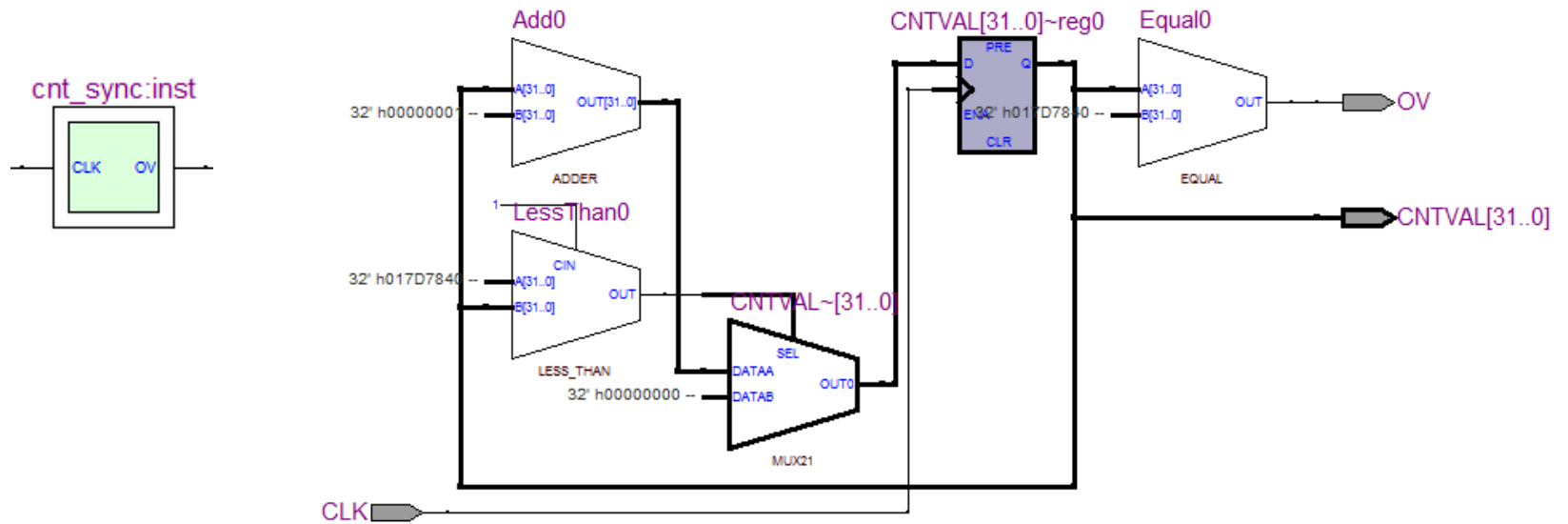
# Analysis and Synthesis 观察RTL视图



- 先进行部分编译 
- 然后观察RTL视图
- 双击RTL模块可以观察其内部的子模块结构

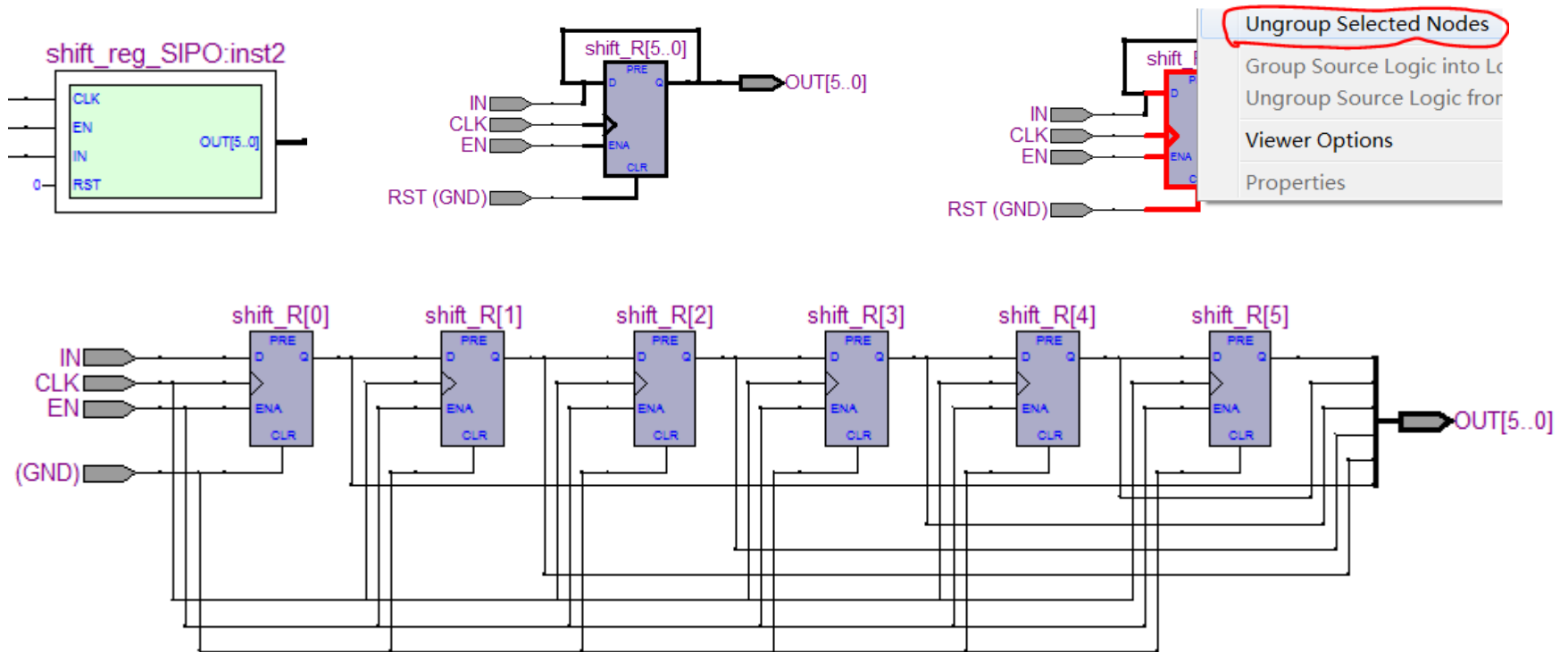


# 观察时基计数器模块内部电路结构



- 确认电路结构的正确性

# 观察移位寄存器组内部电路结构



- 把合并的寄存器组展开，选中组件，右键-Ungroup。
- 确认电路结构的正确性
- 观察一下编译器是如何处理使能信号的

# 编译下载电路观察现象

---

- 拨动SW0开关，观察LED的闪烁变换情况

# 学生实验

---

- 编译下载电路观察现象
- 拨动SW0开关，观察LED的闪烁变换情况
- 设计新的功能
  - 在原有的电路基础上，添加方向选择功能。
  - SW0仍然是移位寄存器组的输入
  - 使用SW1开关，控制移位寄存的方向
  - 从实验现象上应当能够看到，SW1可以控制LED闪烁的移动方向，以及控制SW0值的对LED组的输入位置（即从LED组的最左边或是最右边）